

Ann x to International Preliminary Examination Report**Patent Claims**

1. A method for producing integrable semiconductor components, in particular transistors, diodes, and logic gates, starting with a p-doped or n-doped semiconductor substrate in the following steps:

application of a mask onto the semiconductor substrate for definition of a window delimited by a peripheral edge;

production of an n-doped trough in the p-doped semiconductor substrate or p-doped trough in the n-doped semiconductor substrate by means of ion implantation through the mask using an energy that will assure that a p-doped or an n-doped inner area remains on a surface of the semiconductor substrate, whereby a fringe area of the n-doped or p-doped trough extends up to the surface of the semiconductor substrate, and

production of additional n-doped and/or p-doped areas in the n-doped or p-doped inner area and in the fringe area of the p-doped or the n-doped trough that form the structure of the semiconductor component.

2. The method of Claim 1 wherein, for creation of the structure forming an NPN-transistor, a p-doped area having heavier doping than that of the semiconductor substrate together with the p-doped area enclosed by the p-doped inner area forming the base of the transistor and an n-doped area forming the emitter of the transistor

13/07-13 LON

PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT 2001

(PCT Article 36 and Rule 70)

RECEIVED
TECHNOLOGY CENTER 2800 9

Applicant's or agent's file reference G 860WO	FOR FURTHER ACTION See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/EP99/05942	International filing date (day/month/year) 13 August 1999 (13.08.99)	Priority date (day/month/year) 29 September 1998 (29.09.98)
International Patent Classification (IPC) or national classification and IPC H01L 21/266		
Applicant GRÜTZEDIEK, Ursula		

<p>1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.</p> <p>2. This REPORT consists of a total of <u>6</u> sheets, including this cover sheet.</p> <p><input checked="" type="checkbox"/> This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).</p> <p>These annexes consist of a total of <u>1</u> sheets.</p>	
<p>3. This report contains indications relating to the following items:</p> <p>I <input checked="" type="checkbox"/> Basis of the report</p> <p>II <input type="checkbox"/> Priority</p> <p>III <input type="checkbox"/> Non-establishment of opinion with regard to novelty, inventive step and industrial applicability</p> <p>IV <input type="checkbox"/> Lack of unity of invention</p> <p>V <input checked="" type="checkbox"/> Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement</p> <p>VI <input type="checkbox"/> Certain documents cited</p> <p>VII <input checked="" type="checkbox"/> Certain defects in the international application</p> <p>VIII <input checked="" type="checkbox"/> Certain observations on the international application</p>	

Date of submission of the demand 16 March 2000 (16.03.00)	Date of completion of this report 08 December 2000 (08.12.2000)
Name and mailing address of the IPEA/EP	Authorized officer
Facsimile No.	Telephone No.

—



.

2

1

1

1

1

1

1

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/EP99/05942

1. Basis of the report

1. This report has been drawn on the basis of (Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to the report since they do not contain amendments.):

- ☐ the international application as originally filed.
- ☒ the description, pages 1-18, as originally filed,
 pages _____, filed with the demand,
 pages _____, filed with the letter of _____,
 pages _____, filed with the letter of _____.
- ☒ the claims, Nos. 2-27, as originally filed,
 Nos. _____, as amended under Article 19,
 Nos. _____, filed with the demand,
 Nos. 1, filed with the letter of 26 April 2000 (26.04.2000),
 Nos. _____, filed with the letter of _____.
- ☒ the drawings, sheets/fig 1/16-16/16, as originally filed,
 sheets/fig _____, filed with the demand,
 sheets/fig _____, filed with the letter of _____,
 sheets/fig _____, filed with the letter of _____.

2. The amendments have resulted in the cancellation of:

- ☐ the description, pages _____
- ☐ the claims, Nos. _____
- ☐ the drawings, sheets/fig _____

3. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).

4. Additional observations, if necessary:

—

2000

2000

2000

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.
PCT/EP 99/05942

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

1. Statement

Novelty (N)	Claims	2-24, 26, 27	YES
	Claims	1, 25	NO
Inventive step (IS)	Claims		YES
	Claims	2-24, 26, 27	NO
Industrial applicability (IA)	Claims	1-25	YES
	Claims		NO

2. Citations and explanations

1. This report makes reference to the following documents:

D1: EP-A-0 032 022 (FUJITSU LTD) 15 July 1981 (1981-07-15)

D2: JP-A-51 073 887 (FUJITSU KABUSHIKI KAISHA) 26 June 1976 (1976-06-26)

D3: WO-A-98/36457 (SYMBIOS INC) 20 August 1998 (1998-08-20)

D4: US-A-4 355 320 (TIHANYI JENOE) 19 October 1982 (1982-10-19)

D5: EP-A-0 339 386 (SIEMENS AG) 2 November 1989 (1989-11-02)

2. The present application does not meet the criterion stipulated in PCT Article 33(2) because the subject matter of Claims 1 and 25 is not novel over the prior art (PCT Rule 64.1 to 64.3).

- 2.1 A process for producing integrable semiconductor components, in particular, transistors, diodes and logic gates, using a p-doped or n-doped semiconductor substrate has previously been disclosed (see D1, Claims 1-9, Figures 2-6 and 7-16



and the associated text). D1 comprises all the technical features of Claim 1. In particular, the previously published process comprises the following steps described in Claim 1:

- application of a mask (22,104) to the semiconductor substrate (21,101) to define a window (23) limited by a peripheral edge;
- production of an n-doped trough (24,105) in the p-dope semiconductor substrate (or a p-doped trough in the n-doped substrate) by means of ion implantation through the mask at an energy level sufficiently high to ensure that a p-doped or n-doped (see Claim 9) trough (26,101A) remains on the surface of the semiconductor substrate, wherein the peripheral area of the n-doped or p-doped (see Claim 9) trough extends to the surface of the semiconductor substrate (105b);
- production of further n-doped (27) and p-doped (26) areas forming the structure of the semiconductor element in the p-doped or n-doped (see Claim 9) inner area of the n-doped or p-doped trough (see Claim 9).

2.2 Further, it should be emphasized that D2 (see Figures 1-5) and D3 (see Figure 4 and the associated text) similarly anticipate Claim 1 prejudicially to its novelty.

2.3 A process for producing a structure forming a photosensitive transistor has previously been disclosed (see D3, Claim 1, Figures 4 and 28-43 and



the associated text). D3 comprises all the technical features of Claim 25. It should be noted that all transistors are photosensitive, since they have PN junctions.

In particular, the previously published process comprises the following steps described in Claim 25:

an n-doped area (966, see Figure 41 and page 17) is implanted in the p-doped inner area, wherein the connection (968, see Figure 41 and page 17) forming the collector on the peripheral area of the n-doped trough (922, see Figure 32) and the connection forming the emitter on the n-doped zone (966, see Figure 41 and page 17) implanted in the p-doped inner area are made.

2.4 Therefore, Claims 1 and 25 do not meet the criterion stipulated in PCT Article 33(2).

3. Dependent Claims 2-24, 26 and 27 contain no additional features which, combined with the features of any claim to which they refer, meet the PCT requirements for novelty and inventive step. The reasons are as follows:

3.1 The additional features of Claims 26 and 27 are known from D2 (see page 15, lines 16-17, and page 1, line 9).

The additional features of Claims 2, 4, 8, 16, 18-23 and 24 are known from D1 (see Figure 6 and page 3, page 11, line 15, page 4, lines 30-34; all PN junctions are photosensitive; see also D4 or D5, abstracts).

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.
PCT/EP 99/05942

The additional features of Claims 10-12 are known from D1 (see Figures 14-16 and the associated text).

The additional features of Claims 13 and 14 are known from D3 (see Figure 43 and the associated text).

Insofar as the process steps described in Claims 3, 5-7, 9, 15 and 17 of the present application are not directly known from D1-D3, they pertain to routine steps in the relevant specialized area to improve transistors.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/EP 99/05942

VII. Certain defects in the international application

The following defects in the form or contents of the international application have been noted:

Contrary to PCT Rule 5.1(a)(ii), the description does not cite D1-D5 or indicate the relevant prior art disclosed therein.



INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/EP 99/05942

VIII. Certain observations on the international application

The following observations on the clarity of the claims, description, and drawings or on the question whether the claims are fully supported by the description, are made:

The various definitions of the invention in Claims 1 and 25 are essentially repetitive and the claims are consequently not clearly and concisely drafted overall (EPC Article 84). Claim 25 should therefore be worded as a dependent claim.



...

...

...

T16

VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS

09/806 224
5000

PCT

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

REC'D 10 APR 2001
WIPGO PCT

(Artikel 36 und Regel 70 PCT)



Aktenzeichen des Anmelders oder Anwalts G 860WO	WEITERES VORGEHEN siehe Mitteilung über die Übersendung des internationalen vorläufigen Prüfungsbericht (Formblatt PCT/IPEA/416)	
Internationales Aktenzeichen PCT/EP99/05942	Internationales Anmeldedatum (Tag/Monat/Jahr) 13/08/1999	Prioritätsdatum (Tag/Monat/Tag) 29/09/1998
Internationale Patentklassifikation (IPK) oder nationale Klassifikation und IPK H01L21/266		
Anmelder GRÜTZEDIEK, Ursula et al.		

1. Dieser internationale vorläufige Prüfungsbericht wurde von der mit der internationale vorläufigen Prüfung beauftragte Behörde erstellt und wird dem Anmelder gemäß Artikel 36 übermittelt.
2. Dieser BERICHT umfaßt insgesamt 6 Blätter einschließlich dieses Deckblatts.

☒ Außerdem liegen dem Bericht ANLAGEN bei; dabei handelt es sich um Blätter mit Beschreibungen, Ansprüchen und/oder Zeichnungen, die geändert wurden und diesem Bericht zugrunde liegen, und/oder Blätter mit vor dieser Behörde vorgenommenen Berichtigungen (siehe Regel 70.16 und Abschnitt 607 der Verwaltungsrichtlinien zum PCT).

 Diese Anlagen umfassen insgesamt 1 Blätter.

3. Dieser Bericht enthält Angaben zu folgenden Punkten:
 - I ☒ Grundlage des Berichts
 - II ☐ Priorität
 - III ☐ Keine Erstellung eines Gutachtens über Neuheit, erfinderische Tätigkeit und gewerbliche Anwendbarkeit
 - IV ☐ Mangelnde Einheitlichkeit der Erfindung
 - V ☒ Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderische Tätigkeit und der gewerbliche Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung
 - VI ☐ Bestimmte angeführte Unterlagen
 - VII ☒ Bestimmte Mängel der internationalen Anmeldung
 - VIII ☒ Bestimmte Bemerkungen zur internationalen Anmeldung

Datum der Einreichung des Antrags 16/03/2000	Datum der Fertigstellung dieses Berichts 08.12.2000
Name und Postanschrift der mit der internationalen vorläufigen Prüfung beauftragten Behörde:  Europäisches Patentamt D-80298 München Tel. +49 89 2399 - 0 Tx: 523656 epmu d Fax: +49 89 2399 - 4465	Bevollmächtigter Bediensteter Kusztelan, L Tel. Nr. +49 89 2399 2479 

I. Grundlage des Berichts

1. Dieser Bericht wurde erstellt auf der Grundlage (*Ersatzblätter, die dem Anmeldeamt auf eine Aufforderung nach Artikel 14 hin vorgelegt wurden, gelten im Rahmen dieses Berichts als "ursprünglich eingereicht" und sind ihm nicht beigelegt, weil sie keine Änderungen enthalten.*):

Beschreibung, Seiten:

1-18 ursprüngliche Fassung

Patentansprüche, Nr.:

2-27 ursprüngliche Fassung

1 eingegangen am 26/04/2000 mit Schreiben vom 14/04/2000

Zeichnungen, Blätter:

1/16-16/16 ursprüngliche Fassung

2. Hinsichtlich der **Sprache**: Alle vorstehend genannten Bestandteile standen der Behörde in der Sprache, in der die internationale Anmeldung eingereicht worden ist, zur Verfügung oder wurden in dieser eingereicht, sofern unter diesem Punkt nichts anderes angegeben ist.

Die Bestandteile standen Behörde in der Sprache: , zur Verfügung bzw. wurden in dieser Sprache eingereicht; dabei handelt es sich um

- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen Recherche eingereicht worden ist (nach Regel 23.1(b)).
- ☐ die Veröffentlichungssprache der internationalen Anmeldung (nach Regel 48.3(b)).
- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen vorläufigen Prüfung eingereicht worden ist (nach Regel 55.2 und/oder 55.3).

3. Hinsichtlich der in der internationalen Anmeldung offenbarten **Nucleotid- und/oder Aminosäuresequenz** ist die internationale vorläufige Prüfung auf der Grundlage des Sequenzprotokolls durchgeführt worden, das:

- ☐ in der internationalen Anmeldung in schriftlicher Form enthalten ist.
- ☐ zusammen mit der internationalen Anmeldung in computerlesbarer Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in schriftlicher Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in computerlesbarer Form eingereicht worden ist.
- ☐ Die Erklärung, dass das nachträglich eingereichte schriftliche Sequenzprotokoll nicht über den Offenbarungsgehalt der internationalen Anmeldung im Anmeldezeitpunkt hinausgeht, wurde vorgelegt.
- ☐ Die Erklärung, dass die in computerlesbarer Form erfassten Informationen dem schriftlichen Sequenzprotokoll entsprechen, wurde vorgelegt.

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

Internationales Aktenzeichen PCT/EP99/05942

4. Aufgrund der Änderungen sind folgende Unterlagen fortgefallen:

- ☐ Beschreibung, Seiten:
- ☐ Ansprüche, Nr.:
- ☐ Zeichnungen, Blatt:

5. ☐ Dieser Bericht ist ohne Berücksichtigung (von einigen) der Änderungen erstellt worden, da diese aus den angegebenen Gründen nach Auffassung der Behörde über den Offenbarungsgehalt in der ursprünglich eingereichten Fassung hinausgehen (Regel 70.2(c)).

(Auf Ersatzblätter, die solche Änderungen enthalten, ist unter Punkt 1 hinzuweisen; sie sind diesem Bericht beizufügen).

6. Etwaige zusätzliche Bemerkungen:

V. Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung

1. Feststellung

Neuheit (N)	Ja: Ansprüche	2-24,26,27
	Nein: Ansprüche	1,25
Erfinderische Tätigkeit (ET)	Ja: Ansprüche	
	Nein: Ansprüche	2-24,26,27
Gewerbliche Anwendbarkeit (GA)	Ja: Ansprüche	1-25
	Nein: Ansprüche	

2. Unterlagen und Erklärungen
siehe Beiblatt

VII. Bestimmte Mängel der internationalen Anmeldung

Es wurde festgestellt, daß die internationale Anmeldung nach Form oder Inhalt folgende Mängel aufweist:
siehe Beiblatt

VIII. Bestimmte Bemerkungen zur internationalen Anmeldung

Zur Klarheit der Patentansprüche, der Beschreibung und der Zeichnungen oder zu der Frage, ob die Ansprüche in vollem Umfang durch die Beschreibung gestützt werden, ist folgendes zu bemerken:
siehe Beiblatt

Abschnitt V

1. Es wird auf die folgenden Dokumente verwiesen:

D1: EP-A-0 032 022 (FUJITSU LTD) 15. Juli 1981 (1981-07-15)
D2: JP 51 073887 A (FUJITSU KABUSHIKI KAISHA) 26. Juni 1976 (1976-06-26)
D3: WO 98 36457 A (SYMBIOS INC) 20. August 1998 (1998-08-20)
D4: US-A-4 355 320 (TIHANYI JENOE) 19. Oktober 1982 (1982-10-19)
D5: EP-A-0 339 386 (SIEMENS AG) 2. November 1989 (1989-11-02)

2. Die vorliegende Anmeldung erfüllt das in Artikel 33(2) PCT genannte Kriterium nicht, weil der Gegenstand der Ansprüche 1 und 25 im Hinblick auf den Stand der Technik (Regel 64.1-64.3) nicht neu sind.

- 2.1 Ein Verfahren zur Herstellung von integrationsfähigen Halbleiterbauelementen, insbesondere Transistoren, Dioden und Logikgattern ausgehend von einem p-dotierten oder n-dotierten Halbleitersubstrat ist in D1 vorveröffentlicht (siehe die Ansprüche 1-9, die Figuren 2-6 und 7-16 und den dazugehörigen Text) vorveröffentlicht, die alle technischen Merkmale des Anspruchs 1 einschließt. Insbesondere sind die folgenden Schritten des Anspruchs 1 in diesem Verfahren enthalten:

- Aufbringen einer Maske (22,104) auf das Halbleitersubstrat (21,101) zur Definition eines von einer umlaufenden Kante begrenzten Fensters (23)
- Erzeugen einer n-dotierten Wanne (24,105) in dem p-dotierten Halbleitersubstrat (bzw. p-dotierten Wanne in dem n-dotierten Substrat) mittels Ionenimplantation durch die Maske mit einer Energie, die ausreichen hoch ist, so daß an der Oberfläche des Halbleitersubstrats eine p-dotierte bzw. n-dotierte (siehe Anspruch 9) Wanne (26,101A) verbleibt wobei die Randzone der n-dotierten bzw. p-dotierten (siehe Anspruch 9) Wanne bis an die Oberfläche des Halbleitersubstrates (105b) reicht

- Erzeugen von weiteren die Struktur des Halbleiterelements bildenden n-dotierten (27) und p-dotierten (26) Zonen in der p-dotierten bzw. n-dotierten (siehe Anspruch 9) Innenzone der n-dotierten bzw. p-dotierten Wanne (siehe Anspruch 9).

2.2 Ferner ist festzustellen, daß in gleicher Weise der Inhalt der Dokumente D2, vgl. die Figuren 1-5 und D3, vgl. Figur 4 und den dazugehörigen Text, für Anspruch 1 neuheitsschädlich sind.

2.3 Ein Verfahren zur Schaffung der einen lichtempfindlichen Transistor bildenden Struktur ist in D3 vorveröffentlicht (siehe der Anspruch 1, die Figuren 4 und 28-43 und den dazugehörigen Text) vorveröffentlicht, die alle technischen Merkmale des Anspruchs 25 einschließt. Hier ist zu bemerken, daß alle Transistoren lichtempfindlich sind, da sie pn-Übergänge aufweisen.

Inbesondere sind die folgenden Schritten des Anspruchs 25 in diesem Verfahren enthalten:

in die p-dotierte Innenzone eine n-dotierte Zone implantiert (966, siehe die Figur 41 und die Seite 17) wird

wobei der den Kollektor bildende Anschluß (968 siehe die Figur 41 und die Seite 17) an der Randzone der n-dotierten Wanne (922, siehe die Figur 32) und der den Emitter bildende Anschluß an der in die p-dotierte Innenzone implantierte n-dotierte Zone (966 siehe die Figur 41 und die Seite 17) geschaffen wird.

2.4 Somit erfüllen die Ansprüche 1 und 25 das in Artikel 33(2) PCT ernannte Kriterium nicht.

3. Die abhängigen Ansprüche 2-24 und 26,27 enthalten keine Merkmale, die in Kombination mit den Merkmalen irgendeines Anspruchs, auf den sie sich beziehen, die Erfordernisse des PCT in bezug auf Neuheit bzw. erfinderische Tätigkeit erfüllen. Die Gründe dafür sind die folgenden:

- 3.1 Die zusätzliche Merkmale der Ansprüche 26 und 27 sind aus D2 (siehe Seite 15, Zeile 16-17 und Seite 1, Zeile 9) schon bekannt.

Die zusätzliche Merkmale der Ansprüche 2,4,8,16,18-23 und 24 sind aus D1 (siehe Figur 6 und Seite 3, Seite 11, Zeile 15, Seite 4, Zeile 30-34; alle pn-Übergänge sind lichtempfindlich, Siehe auch D4 oder D5, die Zusammenfassung) schon bekannt.

Die zusätzliche Merkmale der Ansprüche 10-12 sind aus D1 (siehe die Figuren 14-16 und den dazugehörigen Text) schon bekannt.

Die zusätzliche Merkmale der Ansprüche 13,14 sind aus D3 (siehe die Figur 43 und den dazugehörigen Text) schon bekannt.

Soweit die in der vorliegenden Ansprüche 3,5-7,9,15 und 17 enthaltene Verfahrensschritte nicht unmittelbar aus D1-D3 bekannt sind, betreffen sie auf dem einschlägigen Fachgebiet übliche Maßnahmen zur Verbesserung von Transistoren.

Abschnitt VII

Im Widerspruch zu den Erfordernissen der Regel 5.1 a) ii) PCT werden in der Beschreibung weder der in den Dokumenten D1-D5 offenbarte einschlägige Stand der Technik noch diese Dokumente angegeben.

Abschnitt VIII

Die in den Ansprüchen 1 und 25 enthaltenen verschiedenen Definitionen der Erfindung sind im wesentlichen wiederholt, wobei die Ansprüche insgesamt nicht deutlich und knapp gefaßt sind, Artikel 84 EPÜ. Der Anspruch 25 sollte daher als einen abhängigen Anspruch formuliert werden.



Patentansprüche

1. Verfahren zur Herstellung von integrationsfähigen Halbleiterbauelementen, insbesondere Transistoren, Dioden und Logikgattern, ausgehend von einem p-dotierten oder n-dotierten Halbleitersubstrat mit folgenden Schritten:
 - Aufbringen einer Maske auf das Halbleitersubstrat zur Definition eines von einer umlaufenden Kante begrenzten Fensters,
 - Erzeugen einer n-dotierten Wanne in dem p-dotierten Halbleitersubstrat bzw. p-dotierten Wanne in dem n-dotierten Halbleitersubstrat mittels Ioncnimplantation durch die Maske mit einer Energie, die ausreichend hoch ist, so daß an der Oberfläche des Halbleitersubstrats eine p-dotierte bzw. n-dotierte Innenzone verbleibt, wobei die Randzone der n-dotierten bzw. p-dotierten Wanne bis an die Oberfläche des Halbleitersubstrats reicht, und
 - Erzeugen von weiteren die Struktur des Halbleiterbauelements bildenden n-dotierten und/oder p-dotierten Zonen in der p-dotierten bzw. n-dotierten Innenzone und in der Randzone der n-dotierten bzw. p-dotierten Wanne.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß zur Schaffung der einen NPN-Transistor bildenden Struktur in der p-dotierten Innenzone eine zusammen mit der p-dotierten Innenzone die Basis des Transistors bildende von der p-dotierten Innenzone eingeschlossene p-dotierte Zone mit einer stärkeren Dotierung als die des Halbleitersubstrates und in der p-dotierten Zone eine den Emitter des Transistors

VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS

Absender: MIT DER INTERNATIONALEN VORLÄUFIGEN
PRÜFUNG BEAUFTRAGTE BEHÖRDE

An:

OPPERMANN, Frank
LUDERSCHMIDT & PARTNERS
John-F.-Kennedy-Strasse 4
D-65189 Wiesbaden
ALLEMAGNE

Luderschmidt, Schüler & Partner
PATENTANWÄLTE

Eing.: 11. Dez. 2000

Frist:

PCT

MITTEILUNG ÜBER DIE ÜBERSENDUNG
DES INTERNATIONALEN VORLÄUFIGEN
PRÜFUNGSBERICHTS
(Regel 71.1 PCT)

Absendeterminum
(Tag/Monat/Jahr)

08.12.2000

Aktenzeichen des Anmelders oder Anwalts
G 860WO

WICHTIGE MITTEILUNG

Internationales Aktenzeichen
PCT/EP99/05942

Internationales Anmeldedatum (Tag/Monat/Jahr)
13/08/1999

Prioritätsdatum (Tag/Monat/Jahr)
29/09/1998

Anmelder
GRÜTZEDIEK, Ursula et al.

1. Dem Anmelder wird mitgeteilt, daß ihm die mit der internationalen vorläufigen Prüfung beauftragte Behörde hiermit den zu der internationalen Anmeldung erstellten internationalen vorläufigen Prüfungsbericht, gegebenenfalls mit den dazugehörigen Anlagen, übermittelt.
2. Eine Kopie des Berichts wird - gegebenenfalls mit den dazugehörigen Anlagen - dem Internationalen Büro zur Weiterleitung an alle ausgewählten Ämter übermittelt.
3. Auf Wunsch eines ausgewählten Amtes wird das Internationale Büro eine Übersetzung des Berichts (jedoch nicht der Anlagen) ins Englische anfertigen und diesem Amt übermitteln.

4. ERINNERUNG

Zum Eintritt in die nationale Phase hat der Anmelder vor jedem ausgewählten Amt innerhalb von 30 Monaten ab dem Prioritätsdatum (oder in manchen Ämtern noch später) bestimmte Handlungen (Einreichung von Übersetzungen und Entrichtung nationaler Gebühren) vorzunehmen (Artikel 39 (1)) (siehe auch die durch das Internationale Büro im Formblatt PCT/IB/301 übermittelte Information).

Ist einem ausgewählten Amt eine Übersetzung der internationalen Anmeldung zu übermitteln, so muß diese Übersetzung auch Übersetzungen aller Anlagen zum internationalen vorläufigen Prüfungsbericht enthalten. Es ist Aufgabe des Anmelders, solche Übersetzungen anzufertigen und den betroffenen ausgewählten Ämtern direkt zuzuleiten.

Weitere Einzelheiten zu den maßgebenden Fristen und Erfordernissen der ausgewählten Ämter sind Band II des PCT-Leitfadens für Anmelder zu entnehmen.

Name und Postanschrift der mit der internationalen Prüfung beauftragten Behörde

 Europäisches Patentamt
D-80298 München
Tel. +49 89 2399 - 0 Tx: 523656 epmu d
Fax: +49 89 2399 - 4465

Bevollmächtigter Bediensteter

Reddy, J

Tel. +49 89 2399-2231



VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS

PCT

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

(Artikel 36 und Regel 70 PCT)

Aktenzeichen des Anmelders oder Anwalts G 860WO	WEITERES VORGEHEN siehe Mitteilung über die Übersendung des internationalen vorläufigen Prüfungsbericht (Formblatt PCT/IPEA/416)	
Internationales Aktenzeichen PCT/EP99/05942	Internationales Anmeldedatum (Tag/Monat/Jahr) 13/08/1999	Prioritätsdatum (Tag/Monat/Tag) 29/09/1998
Internationale Patentklassifikation (IPK) oder nationale Klassifikation und IPK H01L21/266		
Anmelder GRÜTZEDIEK, Ursula et al.		



1. Dieser internationale vorläufige Prüfungsbericht wurde von der mit der internationale vorläufigen Prüfung beauftragte Behörde erstellt und wird dem Anmelder gemäß Artikel 36 übermittelt.
2. Dieser **BERICHT** umfaßt insgesamt 6 Blätter einschließlich dieses Deckblatts.

☒ Außerdem liegen dem Bericht **ANLAGEN** bei; dabei handelt es sich um Blätter mit Beschreibungen, Ansprüchen und/oder Zeichnungen, die geändert wurden und diesem Bericht zugrunde liegen, und/oder Blätter mit vor dieser Behörde vorgenommenen Berichtigungen (siehe Regel 70.16 und Abschnitt 607 der Verwaltungsrichtlinien zum PCT).

 Diese Anlagen umfassen insgesamt 1 Blätter.

3. Dieser Bericht enthält Angaben zu folgenden Punkten:

- I ☒ Grundlage des Berichts
- II ☐ Priorität
- III ☐ Keine Erstellung eines Gutachtens über Neuheit, erfinderische Tätigkeit und gewerbliche Anwendbarkeit
- IV ☐ Mangelnde Einheitlichkeit der Erfindung
- V ☒ Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderische Tätigkeit und der gewerbliche Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung
- VI ☐ Bestimmte angeführte Unterlagen
- VII ☒ Bestimmte Mängel der internationalen Anmeldung
- VIII ☒ Bestimmte Bemerkungen zur internationalen Anmeldung

Datum der Einreichung des Antrags 16/03/2000	Datum der Fertigstellung dieses Berichts 08.12.2000
Name und Postanschrift der mit der internationalen vorläufigen Prüfung beauftragten Behörde:  Europäisches Patentamt D-80298 München Tel. +49 89 2399 - 0 Tx: 523656 epmu d Fax: +49 89 2399 - 4465	Bevollmächtigter Bediensteter Kusztelan, L Tel. Nr. +49 89 2399 2479 

I. Grundlage des Berichts

1. Dieser Bericht wurde erstellt auf der Grundlage (*Ersatzblätter, die dem Anmeldeamt auf eine Aufforderung nach Artikel 14 hin vorgelegt wurden, gelten im Rahmen dieses Berichts als "ursprünglich eingereicht" und sind ihm nicht beigelegt, weil sie keine Änderungen enthalten.*):

Beschreibung, Seiten:

1-18 ursprüngliche Fassung

Patentansprüche, Nr.:

2-27 ursprüngliche Fassung

1 eingegangen am 26/04/2000 mit Schreiben vom 14/04/2000

Zeichnungen, Blätter:

1/16-16/16 ursprüngliche Fassung

2. Hinsichtlich der **Sprache**: Alle vorstehend genannten Bestandteile standen der Behörde in der Sprache, in der die internationale Anmeldung eingereicht worden ist, zur Verfügung oder wurden in dieser eingereicht, sofern unter diesem Punkt nichts anderes angegeben ist.

Die Bestandteile standen Behörde in der Sprache: , zur Verfügung bzw. wurden in dieser Sprache eingereicht; dabei handelt es sich um

- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen Recherche eingereicht worden ist (nach Regel 23.1(b)).
- ☐ die Veröffentlichungssprache der internationalen Anmeldung (nach Regel 48.3(b)).
- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen vorläufigen Prüfung eingereicht worden ist (nach Regel 55.2 und/oder 55.3).

3. Hinsichtlich der in der internationalen Anmeldung offenbarten **Nucleotid- und/oder Aminosäuresequenz** ist die internationale vorläufige Prüfung auf der Grundlage des Sequenzprotokolls durchgeführt worden, das:

- ☐ in der internationalen Anmeldung in schriftlicher Form enthalten ist.
- ☐ zusammen mit der internationalen Anmeldung in computerlesbarer Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in schriftlicher Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in computerlesbarer Form eingereicht worden ist.
- ☐ Die Erklärung, dass das nachträglich eingereichte schriftliche Sequenzprotokoll nicht über den Offenbarungsgehalt der internationalen Anmeldung im Anmeldezeitpunkt hinausgeht, wurde vorgelegt.
- ☐ Die Erklärung, dass die in computerlesbarer Form erfassten Informationen dem schriftlichen Sequenzprotokoll entsprechen, wurde vorgelegt.

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

Internationales Aktenzeichen PCT/EP99/05942

4. Aufgrund der Änderungen sind folgende Unterlagen fortgefallen:

- ☐ Beschreibung, Seiten:
- ☐ Ansprüche, Nr.:
- ☐ Zeichnungen, Blatt:

5. ☐ Dieser Bericht ist ohne Berücksichtigung (von einigen) der Änderungen erstellt worden, da diese aus den angegebenen Gründen nach Auffassung der Behörde über den Offenbarungsgehalt in der ursprünglich eingereichten Fassung hinausgehen (Regel 70.2(c)).

(Auf Ersatzblätter, die solche Änderungen enthalten, ist unter Punkt 1 hinzuweisen; sie sind diesem Bericht beizufügen).

6. Etwaige zusätzliche Bemerkungen:

V. Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung

1. Feststellung

Neuheit (N)	Ja: Ansprüche	2-24,26,27
	Nein: Ansprüche	1,25
Erfinderische Tätigkeit (ET)	Ja: Ansprüche	
	Nein: Ansprüche	2-24,26,27
Gewerbliche Anwendbarkeit (GA)	Ja: Ansprüche	1-25
	Nein: Ansprüche	

2. Unterlagen und Erklärungen
siehe Beiblatt

VII. Bestimmte Mängel der internationalen Anmeldung

Es wurde festgestellt, daß die internationale Anmeldung nach Form oder Inhalt folgende Mängel aufweist:
siehe Beiblatt

VIII. Bestimmte Bemerkungen zur internationalen Anmeldung

Zur Klarheit der Patentansprüche, der Beschreibung und der Zeichnungen oder zu der Frage, ob die Ansprüche in vollem Umfang durch die Beschreibung gestützt werden, ist folgendes zu bemerken:
siehe Beiblatt

Abschnitt V

1. Es wird auf die folgenden Dokumente verwiesen:

D1: EP-A-0 032 022 (FUJITSU LTD) 15. Juli 1981 (1981-07-15)
D2: JP 51 073887 A (FUJITSU KABUSHIKI KAISHA) 26. Juni 1976 (1976-06-26)
D3: WO 98 36457 A (SYMBIOS INC) 20. August 1998 (1998-08-20)
D4: US-A-4 355 320 (TIHANYI JENOE) 19. Oktober 1982 (1982-10-19)
D5: EP-A-0 339 386 (SIEMENS AG) 2. November 1989 (1989-11-02)

2. Die vorliegende Anmeldung erfüllt das in Artikel 33(2) PCT genannte Kriterium nicht, weil der Gegenstand der Ansprüche 1 und 25 im Hinblick auf den Stand der Technik (Regel 64.1-64.3) nicht neu sind.

- 2.1 Ein Verfahren zur Herstellung von integrationsfähigen Halbleiterbauelementen, insbesondere Transistoren, Dioden und Logikgattern ausgehend von einem p-dotierten oder n-dotierten Halbleitersubstrat ist in D1 vorveröffentlicht (siehe die Ansprüche 1-9, die Figuren 2-6 und 7-16 und den dazugehörigen Text) vorveröffentlicht, die alle technischen Merkmale des Anspruchs 1 einschließt. Insbesondere sind die folgenden Schritten des Anspruchs 1 in diesem Verfahren enthalten:

- Aufbringen einer Maske (22,104) auf das Halbleitersubstrat (21,101) zur Definition eines von einer umlaufenden Kante begrenzten Fensters (23)
- Erzeugen einer n-dotierten Wanne (24,105) in dem p-dotierten Halbleitersubstrat (bzw. p-dotierten Wanne in dem n-dotierten Substrat) mittels Ionenimplantation durch die Maske mit einer Energie, die ausreichen hoch ist, so daß an der Oberfläche des Halbleitersubstrats eine p-dotierte bzw. n-dotierte (siehe Anspruch 9) Wanne (26,101A) verbleibt wobei die Randzone der n-dotierten bzw. p-dotierten (siehe Anspruch 9) Wanne bis an die Oberfläche des Halbleitersubstrates (105b) reicht

- Erzeugen von weiteren die Struktur des Halbleiterelements bildenden n-dotierten (27) und p-dotierten (26) Zonen in der p-dotierten bzw. n-dotierten (siehe Anspruch 9) Innenzone der n-dotierten bzw. p-dotierten Wanne (siehe Anspruch 9).

2.2 Ferner ist festzustellen, daß in gleicher Weise der Inhalt der Dokumente D2, vgl. die Figuren 1-5 und D3, vgl. Figur 4 und den dazugehörigen Text, für Anspruch 1 neuheitsschädlich sind.

2.3 Ein Verfahren zur Schaffung der einen lichtempfindlichen Transistor bildenden Struktur ist in D3 vorveröffentlicht (siehe der Anspruch 1, die Figuren 4 und 28-43 und den dazugehörigen Text) vorveröffentlicht, die alle technischen Merkmale des Anspruchs 25 einschließt. Hier ist zu bemerken, daß alle Transistoren lichtempfindlich sind, da sie pn-Übergänge aufweisen.

Insbesondere sind die folgenden Schritten des Anspruchs 25 in diesem Verfahren enthalten:

in die p-dotierte Innenzone eine n-dotierte Zone implantiert (966, siehe die Figur 41 und die Seite 17) wird
wobei der den Kollektor bildende Anschluß (968 siehe die Figur 41 und die Seite 17) an der Randzone der n-dotierten Wanne (922, siehe die Figur 32) und der den Emitter bildende Anschluß an der in die p-dotierte Innenzone implantierte n-dotierte Zone (966 siehe die Figur 41 und die Seite 17) geschaffen wird.

2.4 Somit erfüllen die Ansprüche 1 und 25 das in Artikel 33(2) PCT ernannte Kriterium nicht.

3. Die abhängigen Ansprüche 2-24 und 26,27 enthalten keine Merkmale, die in Kombination mit den Merkmalen irgendeines Anspruchs, auf den sie sich beziehen, die Erfordernisse des PCT in bezug auf Neuheit bzw. erfinderische Tätigkeit erfüllen. Die Gründe dafür sind die folgenden:

100

- 3.1 Die zusätzliche Merkmale der Ansprüche 26 und 27 sind aus D2 (siehe Seite 15, Zeile 16-17 und Seite 1, Zeile 9) schon bekannt.

Die zusätzliche Merkmale der Ansprüche 2,4,8,16,18-23 und 24 sind aus D1 (siehe Figur 6 und Seite 3, Seite 11, Zeile 15, Seite 4, Zeile 30-34; alle pn-Übergänge sind lichtempfindlich, Siehe auch D4 oder D5, die Zusammenfassung) schon bekannt.

Die zusätzliche Merkmale der Ansprüche 10-12 sind aus D1 (siehe die Figuren 14-16 und den dazugehörigen Text) schon bekannt.

Die zusätzliche Merkmale der Ansprüche 13,14 sind aus D3 (siehe die Figur 43 und den dazugehörigen Text) schon bekannt.

Soweit die in der vorliegenden Ansprüche 3,5-7,9,15 und 17 enthaltene Verfahrensschritte nicht unmittelbar aus D1-D3 bekannt sind, betreffen sie auf dem einschlägigen Fachgebiet übliche Maßnahmen zur Verbesserung von Transistoren.

Abschnitt VII

Im Widerspruch zu den Erfordernissen der Regel 5.1 a) ii) PCT werden in der Beschreibung weder der in den Dokumenten D1-D5 offenbarte einschlägige Stand der Technik noch diese Dokumente angegeben.

Abschnitt VIII

Die in den Ansprüchen 1 und 25 enthaltenen verschiedenen Definitionen der Erfindung sind im wesentlichen wiederholt, wobei die Ansprüche insgesamt nicht deutlich und knapp gefaßt sind, Artikel 84 EPÜ. Der Anspruch 25 sollte daher als einen abhängigen Anspruch formuliert werden.

Patentansprüche

1. Verfahren zur Herstellung von integrationsfähigen Halbleiterbauelementen, insbesondere Transistoren, Dioden und Logikgattern, ausgehend von einem p-dotierten oder n-dotierten Halbleitersubstrat mit folgenden Schritten:
 - Aufbringen einer Maske auf das Halbleitersubstrat zur Definition eines von einer umlaufenden Kante begrenzten Fensters,
 - Erzeugen einer n-dotierten Wanne in dem p-dotierten Halbleitersubstrat bzw. p-dotierten Wanne in dem n-dotierten Halbleitersubstrat mittels Ionenimplantation durch die Maske mit einer Energie, die ausreichend hoch ist, so daß an der Oberfläche des Halbleitersubstrats eine p-dotierte bzw. n-dotierte Innenzone verbleibt, wobei die Randzone der n-dotierten bzw. p-dotierten Wanne bis an die Oberfläche des Halbleitersubstrats reicht, und
 - Erzeugen von weiteren die Struktur des Halbleiterbauelements bildenden n-dotierten und/oder p-dotierten Zonen in der p-dotierten bzw. n-dotierten Innenzone und in der Randzone der n-dotierten bzw. p-dotierten Wanne.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß zur Schaffung der einen NPN-Transistor bildenden Struktur in der p-dotierten Innenzone eine zusammen mit der p-dotierten Innenzone die Basis des Transistors bildende von der p-dotierten Innenzone eingeschlossene p-dotierte Zone mit einer stärkeren Dotierung als die des Halbleitersubstrates und in der p-dotierten Zone eine den Emitter des Transistors



VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT
AUF DEM GEBIET DES PATENTWESENS

PCT

INTERNATIONALER RECHERCHENBERICHT

(Artikel 18 sowie Regeln 43 und 44 PCT)

Aktenzeichen des Anmelders oder Anwalts G 860W0	WEITERES VORGEHEN siehe Mitteilung über die Übermittlung des internationalen Recherchenberichts (Formblatt PCT/ISA/220) sowie, soweit zutreffend, nachstehender Punkt 5	
Internationales Aktenzeichen PCT/EP 99/05942	Internationales Anmeldedatum (Tag/Monat/Jahr) 13/08/1999	(Frühestes) Prioritätsdatum (Tag/Monat/Jahr) 29/09/1998
Anmelder GRÜTZEDIEK, Ursula et al.		

Dieser internationale Recherchenbericht wurde von der Internationalen Recherchenbehörde erstellt und wird dem Anmelder gemäß Artikel 18 übermittelt. Eine Kopie wird dem Internationalen Büro übermittelt.

Dieser internationale Recherchenbericht umfaßt insgesamt 3 Blätter.

☒ Darüber hinaus liegt ihm jeweils eine Kopie der in diesem Bericht genannten Unterlagen zum Stand der Technik bei.

1. Grundlage des Berichts

- a. Hinsichtlich der **Sprache** ist die internationale Recherche auf der Grundlage der internationalen Anmeldung in der Sprache durchgeführt worden, in der sie eingereicht wurde, sofern unter diesem Punkt nichts anderes angegeben ist.

☐ Die internationale Recherche ist auf der Grundlage einer bei der Behörde eingereichten Übersetzung der internationalen Anmeldung (Regel 23.1 b)) durchgeführt worden.

- b. Hinsichtlich der in der internationalen Anmeldung offenbarten **Nucleotid- und/oder Aminosäuresequenz** ist die internationale Recherche auf der Grundlage des Sequenzprotokolls durchgeführt worden, das

☐ in der internationalen Anmeldung in schriftlicher Form enthalten ist.

☐ zusammen mit der internationalen Anmeldung in computerlesbarer Form eingereicht worden ist.

☐ bei der Behörde nachträglich in schriftlicher Form eingereicht worden ist.

☐ bei der Behörde nachträglich in computerlesbarer Form eingereicht worden ist.

☐ Die Erklärung, daß das nachträglich eingereichte schriftliche Sequenzprotokoll nicht über den Offenbarungsgehalt der internationalen Anmeldung im Anmeldezeitpunkt hinausgeht, wurde vorgelegt.

☐ Die Erklärung, daß die in computerlesbarer Form erfaßten Informationen dem schriftlichen Sequenzprotokoll entsprechen, wurde vorgelegt.

2. ☐ Bestimmte Ansprüche haben sich als nicht recherchierbar erwiesen (siehe Feld I).

3. ☐ Mangelnde Einheitlichkeit der Erfindung (siehe Feld II).

4. Hinsichtlich der **Bezeichnung der Erfindung**

☒ wird der vom Anmelder eingereichte Wortlaut genehmigt.

☐ wurde der Wortlaut von der Behörde wie folgt festgesetzt:

5. Hinsichtlich der **Zusammenfassung**

☒ wird der vom Anmelder eingereichte Wortlaut genehmigt.

☐ wurde der Wortlaut nach Regel 38.2b) in der in Feld III angegebenen Fassung von der Behörde festgesetzt. Der Anmelder kann der Behörde innerhalb eines Monats nach dem Datum der Absendung dieses internationalen Recherchenberichts eine Stellungnahme vorlegen.

6. Folgende Abbildung der **Zeichnungen** ist mit der Zusammenfassung zu veröffentlichen: Abb. Nr. 1a-c

☐ wie vom Anmelder vorgeschlagen

☐ keine der Abb.

☒ weil der Anmelder selbst keine Abbildung vorgeschlagen hat.

☐ weil diese Abbildung die Erfindung besser kennzeichnet.



Internationales Aktenzeichen

CT/EP 99/05942

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 7 H01L21/266 H01L21/74 H01L21/8226 H01L21/761 H01L31/11

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie ^a	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	EP 0 032 022 A (FUJITSU LTD) 15. Juli 1981 (1981-07-15) Zusammenfassung; Ansprüche; Abbildungen 2-6, 13-15	1-8, 10-12, 18, 19, 26
Y	---	1, 13-18, 20, 22-25
X	JP 51 073887 A (FUJITSU KABUSHIKI KAISHA) 26. Juni 1976 (1976-06-26) Abbildungen	1-8, 18, 19, 26
X	WO 98 36457 A (SYMBIOS INC) 20. August 1998 (1998-08-20) Zusammenfassung; Ansprüche; Abbildungen 20-27 ---	1, 2, 5, 18, 19, 26
	--- -/--	



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

° Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

„Y“ Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

Absendedatum des internationalen Recherchenberichts

15. Dezember 1999

13/01/2000

Name und Postanschrift der internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Wirner, C

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	US 3 925 120 A (SAIDA HIROJI ET AL) 9. Dezember 1975 (1975-12-09) Zusammenfassung; Ansprüche; Abbildungen ----	1,13-17, 22
Y	PATENT ABSTRACTS OF JAPAN vol. 006, no. 091 (E-109), 28. Mai 1982 (1982-05-28) -& JP 57 024548 A (NIPPON TELEGR & TELEPH CORP), 9. Februar 1982 (1982-02-09) Zusammenfassung; Abbildungen ----	1,18,20
A	EP 0 294 868 A (PHILIPS NV) 14. Dezember 1988 (1988-12-14) Zusammenfassung; Ansprüche; Abbildungen ----	1,13-22
Y	EP 0 260 955 A (CANON KK) 23. März 1988 (1988-03-23) Zusammenfassung; Ansprüche; Abbildungen ----	1,23-25
A	US 4 355 320 A (TIHANYI JENOE) 19. Oktober 1982 (1982-10-19) Zusammenfassung; Ansprüche; Abbildungen ----	1,23-25
A	EP 0 339 386 A (SIEMENS AG) 2. November 1989 (1989-11-02) Zusammenfassung; Ansprüche; Abbildung 3 -----	1,23-25

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

T/EP 99/05942

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 0032022	A	15-07-1981	JP 1196605 C	21-03-1984
			JP 56093341 A	28-07-1981
			JP 58024018 B	18-05-1983
			US 4642883 A	17-02-1987
JP 51073887	A	26-06-1976	NONE	
WO 9836457	A	20-08-1998	US 5858828 A	12-01-1999
			AU 6438298 A	08-09-1998
US 3925120	A	09-12-1975	JP 49044555 B	28-11-1974
			JP 51015393 B	17-05-1976
JP 57024548	A	09-02-1982	NONE	
EP 0294868	A	14-12-1988	NL 8701251 A	16-12-1988
			JP 63306667 A	14-12-1988
			US 4864377 A	05-09-1989
			US 5034335 A	23-07-1991
EP 0260955	A	23-03-1988	JP 2505767 B	12-06-1996
			JP 63076367 A	06-04-1988
			DE 3788481 D	27-01-1994
			DE 3788481 T	21-04-1994
			US 5013670 A	07-05-1991
US 4355320	A	19-10-1982	DE 2922250 A	11-12-1980
			FR 2458148 A	26-12-1980
			GB 2051479 A, B	14-01-1981
			JP 1215576 C	27-06-1984
			JP 55162282 A	17-12-1980
			JP 58046190 B	14-10-1983
EP 0339386	A	02-11-1989	DE 58908028 D	18-08-1994
			JP 2012975 A	17-01-1990

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 57024548
PUBLICATION DATE : 09-02-82

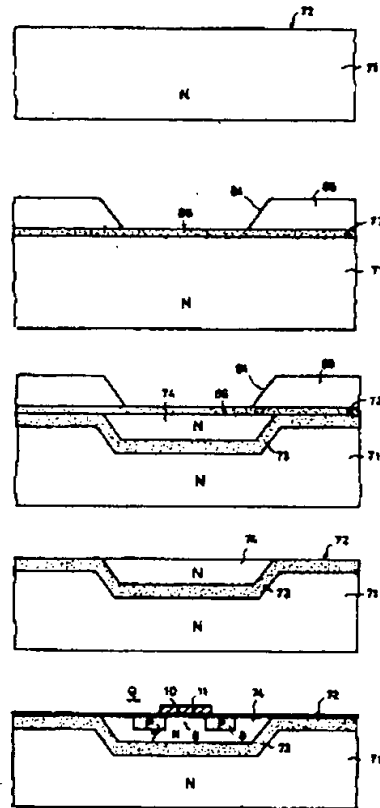
APPLICATION DATE : 22-07-80
APPLICATION NUMBER : 55100386

APPLICANT : NIPPON TELEGR & TELEPH CORP
<NTT>;

INVENTOR : KAJIYAMA KENJI;

INT.CL. : H01L 21/76 H01L 21/265 H01L 21/95

TITLE : MANUFACTURE OF
SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To reduce number of manufacturing processes by making a semiconductor substrate and the other part electrically separated from each other by providing an island type semiconductor area with the shape of closed bottom, inverted truncated cone.

CONSTITUTION: From a thin buffer layer 86 of silicon oxide to prevent the unnecessary distortion between a semiconductor substrate 71 and a masking layer 85 on the main surface 72 of the semiconductor substrate 71 of N type silicon. On them is formed the masking layer 85 with an opening 84 of polycrystalline silicon shaped like an inverted truncated cone. Then, by ion injection treatment an insulating layer 73 of the shape of closed bottom, inverted truncated cone is produced to form an island-shaped semiconductor area 74, surrounded with above cone. The masking layer 85 and the buffer layer 86 are removed from the semiconductor substrate 71. The island-shaped semiconductor area 74 can be manufactured by a general process of desired MIS electric field effect transistor.

COPYRIGHT: (C) JPO

INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP 99/05942

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L21/266 H01L21/74 H01L21/8226 H01L21/761 H01L31/11

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 032 022 A (FUJITSU LTD) 15 July 1981 (1981-07-15) abstract; claims; figures 2-6,13-15	1-8, 10-12, 18,19,26
Y	-----	1,13-18, 20,22-25
X	JP 51 073887 A (FUJITSU KABUSHIKI KAISHA) 26 June 1976 (1976-06-26) figures	1-8,18, 19,26
X	WO 98 36457 A (SYMBIOS INC) 20 August 1998 (1998-08-20) abstract; claims; figures 20-27	1,2,5, 18,19,26
Y	US 3 925 120 A (SAIDA HIROJI ET AL) 9 December 1975 (1975-12-09) abstract; claims; figures	1,13-17, 22
	-/-	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

15 December 1999

Date of mailing of the international search report

13/01/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Wirner, C

INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP 99/05942

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	PATENT ABSTRACTS OF JAPAN vol. 006, no. 091 (E-109), 28 May 1982 (1982-05-28) - & JP 57 024548 A (NIPPON TELEGR & TELEPH CORP), 9 February 1982 (1982-02-09) abstract; figures ----	1, 18, 20
A	EP 0 294 868 A (PHILIPS NV) 14 December 1988 (1988-12-14) abstract; claims; figures ----	1, 13-22
Y	EP 0 260 955 A (CANON KK) 23 March 1988 (1988-03-23) abstract; claims; figures ----	1, 23-25
A	US 4 355 320 A (TIHANYI JENOE) 19 October 1982 (1982-10-19) abstract; claims; figures ----	1, 23-25
A	EP 0 339 386 A (SIEMENS AG) 2 November 1989 (1989-11-02) abstract; claims; figure 3 -----	1, 23-25

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP 99/05942

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 0032022	A	15-07-1981	JP 1196605 C	21-03-1984
			JP 56093341 A	28-07-1981
			JP 58024018 B	18-05-1983
			US 4642883 A	17-02-1987 ✓
JP 51073887	A	26-06-1976	NONE	
WO 9836457	A	20-08-1998	US 5858828 A	12-01-1999 ✓
			AU 6438298 A	08-09-1998
US 3925120	A	09-12-1975	JP 49044555 B	28-11-1974
			JP 51015393 B	17-05-1976 ✓
JP 57024548	A	09-02-1982	NONE	
EP 0294868	A	14-12-1988	NL 8701251 A	16-12-1988
			JP 63306667 A	14-12-1988
			US 4864377 A	05-09-1989
			US 5034335 A	23-07-1991 ✓
EP 0260955	A	23-03-1988	JP 2505767 B	12-06-1996 ✓
			JP 63076367 A	06-04-1988
			DE 3788481 D	27-01-1994
			DE 3788481 T	21-04-1994
			US 5013670 A	07-05-1991
US 4355320	A	19-10-1982	DE 2922250 A	11-12-1980
			FR 2458148 A	26-12-1980
			GB 2051479 A,B	14-01-1981
			JP 1215576 C	27-06-1984
			JP 55162282 A	17-12-1980
			JP 58046190 B	14-10-1983 ✓
EP 0339386	A	02-11-1989	DE 58908028 D	18-08-1994
			JP 2012975 A	17-01-1990 ✓

45

PCT

WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro



INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation ⁷ : H01L 21/266, 21/74, 21/8226, 21/761, 31/11		A1	(11) Internationale Veröffentlichungsnummer: WO 00/19503
			(43) Internationales Veröffentlichungsdatum: 6. April 2000 (06.04.00)
(21) Internationales Aktenzeichen: PCT/EP99/05942		(81) Bestimmungsstaaten: AE, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DE, DK, DM, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, UA, UG, US, UZ, VN, YU, ZA, ZW, ARIPO Patent (GH, GM, KE, LS, MW, SD, SL, SZ, UG, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).	
(22) Internationales Anmeldedatum: 13. August 1999 (13.08.99)			
(30) Prioritätsdaten: 198 44 531.8 29. September 1998 (29.09.98) DE			
(71) Anmelder (für alle Bestimmungsstaaten ausser US): GRÜTZEDIEK, Ursula [DE/DE]; An der Klosterheck 16, D-55130 Mainz (DE). SCHEERER, Jutta [DE/DE]; Am Fort Weisenau 38, D-55130 Mainz (DE).			
(72) Erfinder; und		Veröffentlicht Mit internationalem Recherchenbericht. Mit geänderten Ansprüchen.	
(75) Erfinder/Anmelder (nur für US): GRÜTZEDIEK, Hartmut [DE/DE]; An der Klosterheck 16, D-55130 Mainz (DE). SCHEERER, Joachim [DE/DE]; Am Fort Weisenau 38, D-55130 Mainz (DE).			
(74) Anwälte: OPPERMAN, Frank usw.; John-F.-Kennedy-Strasse 4, D-65189 Wiesbaden (DE).			

(54) Title: METHOD FOR PRODUCING TRANSISTORS

(54) Bezeichnung: VERFAHREN ZUR HERSTELLUNG VON TRANSISTOREN

(57) Abstract

The invention relates to a method for producing integrable semiconductor components, especially transistors or logic gates, using a p-doped semiconductor substrate. First of all, a mask is applied to the semiconductor substrate in order to define a window that is delimited by a peripheral edge. An n-doped trough is then produced in the semiconductor substrate by means of ion implantation, using an energy that is sufficient for ensuring that a p-doped inner area remains on the surface of the semiconductor substrate. The edge area of the n-doped trough extends as far as the surface of the semiconductor substrate. The other n-doped and/or p-doped areas that make up the structure of the transistor or logic gate are then inserted into the p-doped inner area of the semiconductor substrate. The inventive method is advantageous in that it no longer comprises expensive epitaxy and insulation processes. In an n-doped semiconductor substrate, all of the implanted ions are replaced by the complementary species, i.e., n is exchanged for p and vice versa.

(57) Zusammenfassung

Die Erfindung betrifft ein Verfahren zur Herstellung von integrierbaren Halbleiterbauelementen, insbesondere Transistoren oder Logikgatter, ausgehend von einem p-dotierten Halbleitersubstrat. Auf das Halbleitersubstrat wird zunächst eine Maske zur Definition eines von einer umlaufenden Kante begrenzten Fensters aufgebracht. Anschließend wird eine n-dotierte Wanne in dem Halbleitersubstrat mittels Ionenimplantation mit einer Energie erzeugt, die ausreichend ist, daß an der Oberfläche des Halbleitersubstrats eine p-dotierte Innenzone verbleibt, wobei die Randzone der n-dotierten Wanne bis an die Oberfläche des Halbleitersubstrats reicht. Die weiteren, die Struktur des Transistors oder Logikgatters bildenden n-dotierten und/oder p-dotierten Zonen, werden dann in die p-dotierte Innenzone des Halbleitersubstrats eingebracht. Das Verfahren ist insofern vorteilhaft, als aufwendige Epitaxie- und Isolationsprozesse entfallen. Bei einem n-dotierten Halbleitersubstrat werden alle Implantationen durch die komplementäre Spezies ersetzt, also n gegen p und umgekehrt.

a

b

c

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

Verfahren zur Herstellung von Transistoren

Die Erfindung betrifft ein Verfahren zur Herstellung von integrationsfähigen Transistoren. –

Zur Herstellung von pn-Übergängen in Halbleiterbauelementen sind verschiedene Verfahren bekannt, zu denen die Diffusion, Epitaxie und Ionenimplantation zählen.

Ein kurze Übersicht über die vielfältigen Herstellungsverfahren von Bipolartransistoren ist in dem Zeitschriftenartikel "Advances in Bipolar VLSI" von George R. Wilson in Proceedings of the IEEE, Vol. 78, No. 11, 1990, S. 1707-1719 angegeben.

Nachfolgend wird ein Standardprozeß zur Herstellung von Bipolartransistoren näher beschrieben. Zur Herstellung von Bipolartransistoren wird zunächst eine auch als vergrabene Schicht bezeichnete Subkollektorzone in ein p-dotiertes Halbleitersubstrat eindiffundiert, durch die der Kollektorbahnwiderstand des Transistors wirksam reduziert werden kann. Anschließend wird das Halbleitersubstrat mit einer epitaktischen n-leitenden Schicht überzogen. Danach werden in der epitaktischen Schicht elektrisch isolierte Gebiete abgeteilt. Die Isolation dieser sogenannten epi-Inseln erfolgt über in Sperrichtung gepolte pn-Übergänge, die durch tief eindiffundierte p-Zonen geschaffen werden. Es folgen weitere Diffusionschritte, mit denen die Basis und Emittergebiete des NPN-Bipolartransistors definiert werden. Anschließend wird die Kontaktierung für die Transistoranschlüsse vorgenommen.

In der Praxis hat sich der Standardbipolarprozeß mit Sperrschichtisolation bewährt. Als nachteilig erweist sich jedoch der aufwendige Epitaxie- und Isolationsprozeß. P-Kanal-Feldeffektransistoren mit niedrigen Schwellspannungen sind im Standardbipolarprozeß nur durch Zusatzmaßnahmen zu realisieren.

Der Erfindung liegt daher die Aufgabe zugrunde, ein vereinfachtes Verfahren zur Herstellung von Transistoren unterschiedlicher Art in einem gemeinsamen Fertigungsablauf anzugeben.

Der entscheidende Vorteil des erfindungsgemäßen Verfahrens liegt darin, daß ein Epitaxie- und Isolationsprozeß wie beim Standardbipolarprozeß nicht mehr erforderlich ist.

Bei dem erfindungsgemäßen Verfahren wird mittels Hochvoltionenimplantation eine n-dotierte Wanne in dem vorzugsweise schwach p-dotierten Halbleitersubstrat erzeugt. Die Ionenimplantation erfolgt mit einer Energie, die ausreichend hoch ist, so daß an der Oberfläche des Halbleitersubstrats eine p-dotierte Innenzone verbleibt, während die Randzone der n-dotierten Wanne bis an die Halbleitersubstratoberfläche reicht.

Es ist aber auch möglich, eine Ionenimplantation mit einer Energie vorzunehmen, die nicht ausreichend hoch ist, so daß an der Oberfläche des Halbleitersubstrats keine p-dotierte Innenzone verbleibt, sondern eine schwach n-dotierte Innenzone. In diesem Fall wird die p-dotierte Innenzone dadurch erzeugt, daß die rückgestreuten Ionen mit p-dotierenden Stoffen kompensiert werden. Die Kompensation kann mittels Ionenimplantation oder Diffusion mit oder großflächig ohne Maske erfolgen.

Alternativ kann auch von einem n-dotierten Halbleitersubstrat ausgegangen werden. In diesem Fall werden alle Implantationen durch die komplementäre Spezies ersetzt, also n-Implantationen gegen p-Implantationen und umgekehrt. Das Halbleitersubstrat ist vorzugsweise ein schwach p-dotiertes bzw. n-dotiertes Halbleitersubstrat.

Ausgehend von der obigen Halbleiterstruktur lassen sich sowohl NPN- als auch PNP-Transistoren unterschiedlichster Ausbildung herstellen. Hierzu werden in die p-dotierte Innenzone des Halbleitersubstrats weitere die Struktur des Transistors bildende n-dotierte und/oder p-dotierte Zonen eingebracht.

Zur Erzeugung der n-dotierten Wanne wird auf das Halbleitersubstrat eine Maske aufgebracht, die ein Fenster definiert, das von einer umlaufenden Kante begrenzt wird. Unabhängig von der Ausbildung der Kante des Fensters wird mittels Ionenimplantation in das Halbleitersubstrat eine tiefliegende n-dotierte Wanne eingebracht, deren Randzone sich bis an die Oberfläche des Halbleitersubstrats erstreckt. Die Ausbildung der bis an die Halbleitersubstratoberfläche reichenden Randzone ist darauf zurückzuführen, daß die Ionen an einer

senkrechten Kante gestreut und an einer schrägen Kante unterschiedlich stark abgebremst werden.

Ausgehend von der obigen Halbleiterstruktur kann ein NPN-Transistor ohne größeren Aufwand einfach dadurch geschaffen werden, daß in der p-dotierten Innenzone des Halbleitersubstrats eine p-dotierte Zone mit einer stärkeren Dotierung als die des Halbleitersubstrats erzeugt wird. Diese p-dotierte Zone stärkerer Dotierung bildet dann die Basis des Transistors. Eine vorzugsweise hoch n-dotierte Zone, die in die p-dotierte Zone eingebracht wird, bildet den Emitter des Transistors. Da die Randzone der hier als Kollektor dienenden n-dotierten Wanne bis an die Oberfläche des Halbleitersubstrats reicht, kann der Kollektoranschluß über eine stark n-dotierte Zone bei dieser Halbleiterstruktur leicht vorgenommen werden.

Um eine Halbleiterstruktur für einen PNP-Transistor zu schaffen, wird in der p-dotierten Innenzone eine n-dotierte Zone erzeugt. Diese bildet die Basis des Transistors. In der von der p-dotierten Innenzone eingeschlossenen n-dotierten Zone wird eine den Emitter des Transistors bildende vorzugsweise hoch p-dotierte Zone erzeugt. Die p-dotierte Innenzone bildet dann den Kollektor des Transistors.

Die Erzeugung der n-dotierten und/oder p-dotierten Zonen in dem Halbleitersubstrat kann mit den bekannten Prozeßschritten erfolgen. Vorteilhafterweise werden die oberflächennahen Zonen mittels Ionenimplantation eingebracht.

Die Bereiche, in denen Ionen implantiert werden sollen, können mit den bekannten Maskierungsprozessen definiert werden. Das Maskenmaterial kann aus Fotolack, Metall, Glas oder sonstigen Materialien bestehen. Vorzugsweise wird die Struktur der mittels Masken definierten zu dotierenden Zonen durch lithographische Methoden erstellt. Möglich sind auch Kombinationen aus Lithographien und Ätzungen.

Für den ohmschen Kontakt der Transistoranschlüsse können weitere n-dotierte und/oder p-dotierte Übergangszonen mit einer stärkeren Dotierung in die Halbleiterstruktur eingebracht werden.

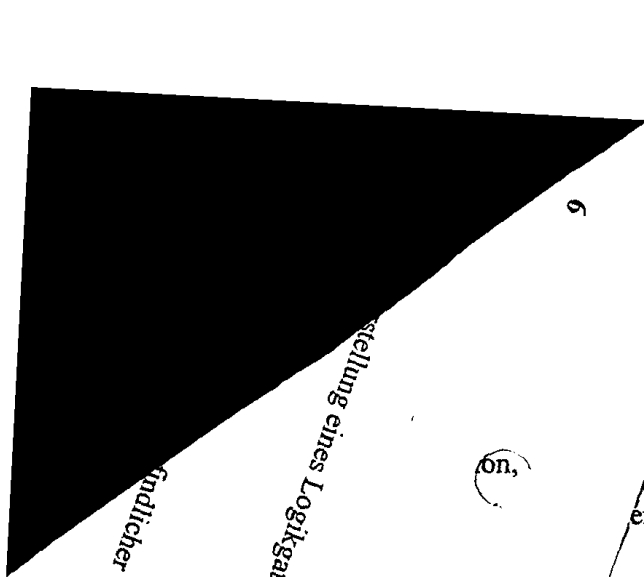
Ein NPN-Transistor kann auch dadurch geschaffen werden, daß in der p-dotierten Innenzone eine n-dotierte Zone erzeugt wird, die den Emitter des Transistors bildet. Die p-dotierte Innenzone bildet bei dieser Ausführungsform dann die Basis und die n-dotierte Wanne den Kollektor des Transistors. Es hat sich gezeigt, daß dieser NPN-Transistor eine hohe Verstärkung aufweist.

Ausgehend von der obigen Halbleiterstruktur mit der hochgezogenen Wanne können auch I²L-Elemente (Integrated Injection Logic) oder Feldeffekttransistoren ohne großen Fertigungsaufwand geschaffen werden.

Darüber hinaus können ausgehend von dieser Halbleiterstruktur auch Logikgatter mit hoher Packungsdichte hergestellt werden. Hierzu müssen die aktiven Gebiete der Logikgatter in der Halbleiterstruktur abgetrennt werden. Die Halbleiterstruktur mit der hochgezogenen Wanne erlaubt auch die Herstellung von lichtempfindlichen Dioden und Transistoren ohne großen Fertigungsaufwand.

Die Abtrennung kann durch Ionenimplantation unter Verwendung einer zusätzlichen Maske erfolgen. Dadurch wird erreicht, daß der von der Maske abgedeckte Bereich der Wanne nach oben gezogen wird. Oberhalb des hochgezogenen Wannenbereichs wird in der p⁻-dotierten Innenzone entweder eine n-dotierte Zone oder eine Oxidschicht erzeugt, die sich bis an die Wanne erstreckt. Anstelle der Abdeckung durch eine Maske kann mit einer vorher durchgeführten lokalen Oxidation ebenfalls die Wanne hochgezogen werden. Alternativ kann die Separation der aktiven Gebiete auch durch n-dotierte Zonen erfolgen, die sich bis in die Wanne erstrecken. Eine weitere Möglichkeit der Abtrennung besteht darin, das Halbleitersubstrat mit Einschnitten zu versehen, die sich bis in die Wanne erstrecken (Trenchisolation).

Im folgenden werden mehrere Ausführungsbeispiele des Verfahrens zur Herstellung von Transistoren oder Logikgattern unter Bezugnahme auf die Zeichnungen näher erläutert.



6

Endlicher

Herstellung eines Logikgatters mit

on,

Wanne in dem Halb-
das Fenster für die Ionen-
er schräg nach innen bzw. außen

PCT/EP99/05942

Herstellung eines NPN-Transistors
en 1a bis 1c,

Figuren 3a bis 3e
ausgehend von der Halbleiterstruktur

zur Herstellung eines PNP-Transistors
Figuren 1a bis 1c,

Figuren 4a bis 4e die weiteren Verfahrensschritte zur Herstellung einer alternativen Ausführungsform eines NPN-Transistors, der sich durch eine hohe Verstärkung auszeichnet, ausgehend von der Halbleiterstruktur von den Figuren 1a bis 1c,

Figuren 5a bis 5d die einzelnen Verfahrensschritte zur Herstellung eines I²L (Integrated Injection Logic) Elementes, ausgehend von der Halbleiterstruktur von den Figuren 1a bis 1c,

Figuren 6a bis 6e die einzelnen Verfahrensschritte zur Herstellung eines Feldeffekttransistors ausgehend von der Halbleiterstruktur von den Figuren 1a bis 1c, und

Figuren 7a bis 7f die einzelnen Verfahrensschritte zur Herstellung eines Logikgatters mit implantierter Isolation,

Figuren 8a bis 8e die einzelnen Verfahrensschritte zur Herstellung eines Logikgatters mit tiefenmodulierter Wanne und implantierter Isolation,

Figuren 9a bis 9e die einzelnen Verfahrensschritte zur Herstellung eines Logikgatters mit tiefenmodulierter Wanne und Oxidisolation,

Figuren 10a bis 10f die einzelnen Verfahrensschritte zur Herstellung einer Trenchisolation, und

Figuren 11a bis 11d die einzelnen Verfahrensschritte zur Herstellung lichtempfindlicher Dioden,

Figuren 12a bis 12c die einzelnen Verfahrensschritte zur Herstellung eines ersten Ausführungsbeispiels eines lichtempfindlichen Transistors mit offener Basis,

Figuren 13a bis 13d die einzelnen Verfahrensschritte zur Herstellung eines lichtempfindlichen Transistors mit erhöhter Photoempfindlichkeit,

Figuren 14a bis 14d die einzelnen Verfahrensschritte zur Herstellung eines lichtempfindlichen Transistors mit erhöhter Spannungsfestigkeit und

Figuren 15a bis 15f die einzelnen Verfahrensschritte zur Herstellung eines lateralen PNP-Transistors.

Die Herstellung der unterschiedlichen Halbleiterbauelemente setzt die unter Bezugnahme auf die Figuren 1a bis 1c beschriebene Halbleiterstruktur voraus. Nachfolgend werden die einzelnen Schritte zur Herstellung dieser Halbleiterstruktur beschrieben.

Auf ein schwach p-dotiertes Halbleitersubstrat 1 (Wafer) wird eine Maske 2 aufgebracht, die ein Fenster 3 aufweist, das von einer umlaufenden Kante 4 begrenzt wird. Für das Grundmaterial wird vorzugsweise ein Wafer aus schwach p-dotiertem monokristallinem Silizium mit einem Widerstand von z. B. 5 Ohm cm verwendet. Weitere geeignete Halbleitermaterialien sind z.B. GaAs und SiC mit den für diese Stoffe geeigneten Dotiermitteln. Das Maskenmaterial kann aus Fotolack, Metall, Glas oder auch anderen Materialien bestehen. Vorzugsweise wird die Struktur durch fotolithographische Verfahren geschaffen.

Für die weiteren Verfahrensschritte ist die Ausbildung der Kante 4 des Maskenfensters 3 nicht relevant. Die Kante 4 des Maskenfensters 3 kann senkrecht (Figur 1a), schräg nach außen (Figur 1b) oder schräg nach innen (Figur 1c) verlaufen.

Nach der Maskenerstellung, die mit den bekannten Prozessen erfolgen kann, erfolgt eine Dotierung, vorzugsweise eine Implantation von Phosphorionen mit einer Dosis von z. B. 2×10^{13} Atome/cm², um eine n-dotierte Wanne 5 in dem Halbleitersubstrat 1 zu schaffen. Die Implantationsenergie ist dabei so hoch, daß oberhalb der Wanne 5 in dem Halbleitersubstrat 1 noch eine p-dotierte Zone 6 verbleibt. Bei einer Dosis von 2×10^{13} Atome/cm² ist dies trotz der rückgestreuten Phosphorionen beispielsweise dann der Fall, wenn die Implantationsenergie 6 MeV Phosphorionen beträgt.

Bei der Hochvoltionenimplantation kommt es im Bereich der Kante 4 des Maskenfensters 3 zu einem besonderen Effekt. Da die Ionen an der senkrechten Kante gestreut bzw. an den schräg verlaufenden Kanten unterschiedlich stark abgebremst werden, bildet sich in der Wanne 5 eine nach oben gezogene Randzone 7 aus, die bis zu der Oberfläche des Halbleitersubstrats 1 reicht und die verbleibende p-dotierte Zone 6 an der Oberfläche des Halbleitersubstrats umschließt.

Zur Herstellung einer integrierten Schaltung können mit einer entsprechenden Maske eine Vielzahl von n-dotierten Wannen, deren Randzonen sich bis an die Halbleitersubstratoberfläche erstrecken, mittels Ionenimplantation in das Halbleitersubstrat eingebracht werden.

Alternativ kann die Ionenimplantation aber auch mit einer Energie erfolgen, die nicht ausreichend ist, daß an der Oberfläche des Halbleitersubstrats eine p-dotierte Innenzone verbleibt. Bei einer Implantationsenergie von 2 MeV und einer Dosis von 2×10^{13} Atome/cm² beispielsweise erreichen die rückgestreuten Phosphorionen in genügender Zahl die Oberfläche des Wafers und es bleibt keine leicht p-dotierte Zone erhalten, sondern ein n-dotierter Halbleiter mit einer Konzentration von $N_D > 10^{15}$ /cm³. Dies wird dadurch verhindert, daß als Ausgangsmaterial entweder ein Wafer mit einer insgesamt höheren p-Konzentration genommen wird, oder es wird zur Kompensation eine zusätzliche Dotierung in die

Waferoberfläche eingebracht. Diese kann durch Implantation oder Diffusion vorgenommen werden. Eine Kompensation kann beispielsweise bei einer Implantationenergie von 200 KeV und einer Dosis von 3×10^{11} Atome/cm² bis zu einer Tiefe von 0,8µ erfolgen. Hierbei handelt es sich aber nur um Anhaltswerte, die um ein Vielfaches verändert werden können. Die Umdotierung kann ganzflächig oder nur innerhalb der Wanne mit Maske erfolgen.

Ausgehend von der unter Bezugnahme auf die Figuren 1a bis 1c beschriebenen Halbleiterstruktur können nun verschiedene Transistortypen hergestellt werden.

Die Figuren 2a bis 2d veranschaulichen die Schritte zur Herstellung eines NPN-Transistors. In die von der n-dotierten Wanne eingeschlossene p-dotierte Innenzone 6 der Halbleiterstruktur (Fig. 2a) von den Figuren 1a bis 1c wird mittels Ionenimplantation eine zentrale rechteckige, runde oder sonstwie geformte p-dotierte Zone 8 mit einer üblichen Dotierung ($N_A = 10^{18} \text{ cm}^{-3}$) eingebracht, die stärker als die des Halbleitersubstrats ist (Fig. 2b). Anschließend werden mittels Ionenimplantation eine oberflächennahe umlaufende n⁺-Übergangszone 9 mit der üblichen Dotierungskonzentration ($N_D \sim 10^{22} \text{ cm}^{-3}$) in die Randzone 7 der Wanne 5 und eine oberflächennahe n⁺-dotierte Zone 10 ($N_D = 10^{22} \text{ cm}^{-3}$) in die von der Innenzone 6 eingeschlossene p-dotierte Zone 8 eingebracht (Figur 2c). In einem weiteren Implantationsschritt wird dann eine oberflächennahe p⁺-dotierte Übergangszone 11 ($N_D = 10^{22} \text{ cm}^{-3}$) in die p-dotierte Zone 8 eingebracht (Figur 2d). Zum Schluß kann die nicht eingezeichnete Isolationsschicht aufgebaut und die Kontaktierung der Transistoranschlüsse an den n⁺- bzw. p⁺-Übergangszonen nach bekannten Verfahren (s. o.: G. R. Wilson) vorgenommen werden. Die n-dotierte Wanne 5 bildet bei dieser Ausführungsform dann den Kollektor C, die p-dotierte Innenzone 6 zusammen mit der p-dotierten Zone 8 die Basis B und die n⁺-dotierte Zone 10 den Emitter des NPN-Transistors.

Die Herstellung eines PNP-Transistors geht ebenfalls von der Halbleiterstruktur von den Figuren 1a bis 1c aus. In die p-dotierte Innenzone 6 (Fig. 3a) wird mittels Ionenimplantation eine zentrale n-dotierte Zone 12 ($N_D = 10^{18} \text{ cm}^{-3}$) eingebracht (Figur 3b). Anschließend werden eine umlaufende oberflächennahe n⁺-Übergangszone 13 ($N_D \sim 10^{22} \text{ cm}^{-3}$) in die Randzone 7 der Wanne 5 und eine oberflächennahe seitliche n⁺-Übergangszone 14 ($N_D = 10^{22} \text{ cm}^{-3}$) in die zentrale n-Zone 12 mittels Ionenimplantation eingebracht (Figur 3c). In einem weiteren Ver-

fahrensschritt werden dann eine umlaufende oberflächennahe p^+ -Übergangszone 15 ($N_D=10^{22} \text{ cm}^{-3}$) in die Innenzone 6 und eine seitliche oberflächennahe p^+ -Zone 16 ($N_D=10^{22} \text{ cm}^{-3}$) in die zentrale n-Zone 12 mittels Ionenimplantation eingebracht. Die p -Innenzone 6 bildet nun den Kollektor C, die zentrale n-Zone 12 die Basis B und die p^+ -Zone 16 den Emitter E des PNP-Transistors, wobei die hochdotierten Übergangszonen zur Herstellung einer ohmschen Verbindung zu den Transistoranschlüssen vorgesehen sind (Fig. 3d). Die Kontaktierung der Transistoranschlüsse kann wieder mit den bekannten Prozessen erfolgen. Um die Abbruchspannung zwischen Emitter und Kollektor zu erhöhen, können in der praktischen Anwendung Basis und Wanne elektrisch miteinander verbunden werden.

Die Figuren 4a bis 4d veranschaulichen die Prozessschritte zur Herstellung einer weiteren Ausführungsform eines NPN-Transistors, der sich durch eine hohe Verstärkung auszeichnet (Super-Beta-Transistor). Ausgehend von der Halbleiterstruktur (Fig. 4a) von den Figuren 1a bis 1c wird mittels Ionenimplantation in der Innenzone 6 eine n-dotierte Zone 17 ($N_D=10^{18} \text{ cm}^{-3}$) erzeugt (Figur 4b). Anschließend werden eine umlaufende oberflächennahe n^+ -Übergangszone 18 ($N_D \sim 10^{22} \text{ cm}^{-3}$) in der Randzone 7 der Wanne 5 und eine oberflächennahe n^+ -Übergangszone 19 ($N_D \sim 10^{22} \text{ cm}^{-3}$) in der n-Zone 17 mittels Ionenimplantation erzeugt (Figur 4c). Daraufhin wird eine oberflächennahe p^+ -Übergangszone 20 ($N_D=10^{22} \text{ cm}^{-3}$) in der Innenzone 6 mittels Ionenimplantation erzeugt. Die Wanne 5 bildet nun den Kollektor C, die Innenzone 6 die Basis B und die n-Zone 17 den Emitter E des Super-Beta-NPN-Transistors. An den Übergangszonen 18, 19 und 20 erfolgt wieder die Kontaktierung der Transistoranschlüsse. Bei der obigen Ausführungsform ist der Stapel aus der n-dotierten Zone 17 und der n^+ -dotierten Zone 19 nicht zwingend erforderlich, prinzipiell reicht auch die n^+ -dotierte Zone 19. Der Stapel verringert aber die Gefahr von metallischen Kurzschlüssen, wodurch die Ausbeute verbessert wird. Die n^+ -dotierte Zone 19 braucht auch nicht innerhalb der n-dotierten Zone 17 liegen. Die Zonen 17 und 19 können auch übereinanderliegen oder sich nur teilweise überlappen.

Fig. 4e zeigt eine Teilansicht der Ausführungsform gemäß der Figuren 4a bis 4d, bei der die n^+ -dotierte Zone 19 und die n-dotierte Zone 17 übereinanderliegen, ohne daß die Zone 19 von der Zone 17 eingeschlossen wird.

Die Figuren 5a bis 5d veranschaulichen die Prozessschritte zur Herstellung eines I²L-Elements ausgehend von den Figuren 1a bis 1c. Zunächst werden n-dotierte Zonen, beispielsweise vier n-dotierte Zonen 21, 22, 23, 24 ($N_D=10^{18}\text{cm}^{-3}$) in die Innenzone 6 mittels Ionenimplantation eingebracht. Zone 21 erstreckt sich von der Randzone 7 der Wanne 5 in den Randbereich der Innenzone 6 (Fig. 5b). Im nächsten Prozessschritt werden mittels Ionenimplantation in der Randzone 7 der Wanne 5 eine umlaufende oberflächennahe n⁺-Übergangszone 25 ($N_D\sim 10^{22}\text{cm}^{-3}$) und in den n-dotierten Zonen 22, 23, 24 weitere oberflächennahe n⁺-Übergangszonen 26, 27, 28 ($N_D\sim 10^{22}\text{cm}^{-3}$) erzeugt. In der die Randzone 7 der Wanne 5 mit der Innenzone 6 verbindenden n-Zone 21 wird eine oberflächennahe p⁺-Zone 29 ($N_D=10^{22}\text{cm}^{-3}$) erzeugt. Diese bildet den Emitter des Injektor-PNPs. Eine weitere p⁺-Übergangszone 30 ($N_D=10^{22}\text{cm}^{-3}$) wird in die Innenzone seitlich neben den n⁺-Übergangszonen 26, 27, 28 eingebracht. Die Innenzone 6 bildet dann die Basis eines Multikollektor-Transistors, während die n-Zonen 22, 23, 24 die einzelnen Kollektoren C1, C2, C3 des invers betriebenen Transistors bilden. Der Injektor-Anschluß INJ erfolgt an der p⁺-Zone 29 und der Anschluß der Basis B an der Übergangszone 30 und der Kollektoren C1, C2, C3 an den Übergangszonen 26, 27, 28 mit den bekannten Kontaktierungsprozessen.

Die Einspeisung des Versorgungsstroms in das I²L-Element über einen Injektor-PNP ist nur eine bevorzugte Möglichkeit. Auch ein hochohmiger Widerstand oder eine Stromquelle sind denkbar.

Die Figuren 6a bis 6d veranschaulichen die Prozessschritte zur Herstellung eines Feldeffekttransistors, der sich durch hohe Abbruchspannung und Steilheit auszeichnet. Die Herstellung geht von den Figuren 1a bis 1c aus (Fig. 6a). In die p-dotierte Innenzone 6 der Wanne 5 wird mittels Ionenimplantation eine rechteckförmige n-dotierte Zone 31 eingebracht, die sich über die gesamte Breite, aber nicht über die gesamte Länge der Innenzone 6 erstreckt, so daß die Innenzone in zwei Bereiche getrennt wird (Fig. 6b). Anschließend werden mittels Ionenimplantation eine umlaufende oberflächennahe n⁺-Übergangszone 32 ($N_D=10^{22}\text{cm}^{-3}$) in die Randzone 7 der Wanne 5 und eine oberflächennahe n⁺-Übergangszone 33 ($N_D\sim 10^{22}\text{cm}^{-3}$) in die n-Zone 31 eingebracht. Diese Zonen bilden das Gate des Transistors (Fig. 6c). Daraufhin werden in den beiden Bereichen der Innenzone 6 jeweils eine p⁺-dotierte Zone 34 ($N_D=10^{22}\text{cm}^{-3}$) erzeugt. Die p⁺-Implantationen 34 stellen die Übergangszonen für eine

Metallkontaktierung von Drain und Source des Transistors dar (Fig. 6d). Fig. 6e zeigt den Feldeffekttransistor in der Draufsicht.

Das Verfahren zur Herstellung der unterschiedlichen Transistortypen ist insofern vorteilhaft, als aufwendige Epitaxie- und Isolationsschritte entfallen. Sämtliche Transistortypen können ausgehend von derselben Halbleiterstruktur mit den beschriebenen Prozeßschritten gleichzeitig in einem gemeinsamen Fertigungsablauf hergestellt werden. Die einzelnen Verfahrensschritte zur Erzeugung der n- oder p-dotierten Zonen in der Halbleiterstruktur können dabei auch in einer anderen Reihenfolge als die in den obigen Ausführungsbeispielen beschriebenen erfolgen. Für die n⁺-Implantationen werden in der Regel Arsen- oder Phosphor-Ionen mit einer Energie von 5 bis 50 keV verwendet. Die Energien für die n-Implantationen liegen mit 30 bis 100 keV entsprechend höher. Bei p- und p⁺-Implantationen werden in der Regel Bor-Ionen mit vergleichbaren Energien wie bei den n- und n⁺-Implantationen verwendet. Die angegebenen Konzentrationen und Energien sind übliche Werte, können aber über- oder unterschritten werden. Andere Verfahren zum Einbringen der Dotierungen sind möglich. Unterbrechungen der dotierten Zonen sind ebenfalls möglich. n und n⁺ bzw. p und p⁺ als Stapel mit oder ohne Überlappung sind nicht zwingend erforderlich, es reicht n⁺ bzw. p⁺. Wird jedoch eine n- und p-Implantation unterlegt, verringert dies die Gefahr von metallischen Kurzschlüssen durch die n⁺- bzw. p⁺-Schichten und verbessert damit die Ausbeuten und kann die elektrischen Daten der Bauelemente verändern. Beim Basisanschluß und Drain/Source kann n bzw. p unterlegt werden. Die Maskierung kann hierbei mit den bekannten fotolithographischen Prozessen erfolgen.

Um einen besonders niederohmigen Bahnwiderstand zu ermöglichen, ist es von Vorteil, die Übergangszone in der Randzone der n-dotierten Wanne nicht als oberflächennahe Zone, sondern als eine sich tiefer in das Halbleitersubstrat erstreckende Zone auszubilden. So kann die Übergangszone beispielsweise bis zu einer Tiefe reichen, in der die n-dotierte Wanne liegt. Hierzu ist allerdings ein zusätzlicher Verfahrensschritt erforderlich.

Die geometrische Anordnung von Kollektor, Emitter und Basis in der Wanne ist nur beispielhaft in den Bildern dargestellt. Sowohl Größe als auch Lage können verändert werden. Rechteckig beschriebene Strukturen können auch andere, z.B. runde Formen haben.

Ausgehend von der unter Bezugnahme auf die Figuren 1a bis 1c beschriebenen Halbleiterstruktur lassen sich neben den obigen Bauelementen auch weitere Logikgattertypen in einem gemeinsamen Fertigungsablauf herstellen. Die Figuren 7 bis 10 veranschaulichen die einzelnen Schritte unterschiedlicher Verfahren zur Herstellung von Logikgattern, die auf dieser Halbleiterstruktur beruhen, wobei die einander entsprechenden Masken und Zonen jeweils mit den gleichen Bezugszeichen versehen sind.

Figur 7a zeigt den Schritt der Erzeugung der n-dotierten Wanne 5 in dem Halbleitersubstrat 1 mittels Hochvoltionenimplantation. Auf das Halbleitersubstrat wird die Maske 2 mit dem Fenster 3 aufgebracht, so daß sich während der Ionenimplantation in der Wanne 5 die nach oben gezogene Randzone 7 ausbildet, die bis zu der Oberfläche des Halbleitersubstrats reicht und die verbleibende p⁻-dotierte Innenzone 6 an der Oberfläche des Halbleitersubstrats umschließt (vgl. Figuren 1a bis 1c).

In dem Halbleitersubstrat werden dann die aktiven Gebiete der Logikgatter abgetrennt, in denen weitere n-dotierte und/oder p-dotierte Zonen zur Ausbildung der Logikgatter eingebracht werden. Zur Abtrennung wird in der Innenzone 6 des Halbleitersubstrats mittels Ionenimplantation jeweils eine das aktive Gebiet umschließende n-dotierte Trennzone 35 erzeugt, die sich bis in die n-dotierte Wanne 5 erstreckt. Die Implantation erfolgt nach Aufbringen einer Maske 36 mit den bekannten Verfahren. Mit dieser implantierten Isolation können in dem Halbleitersubstrat eine Vielzahl von Gebieten abgetrennt werden, die dicht nebeneinander liegen, um eine hohe Packungsdichte zu erzielen. Nachfolgend werden die weiteren Schritte zur Herstellung eines Logikgatters in einem dieser Gebiete beschrieben.

Nach Aufbringen einer weiteren Maske 37 werden in der p⁻-dotierten Innenzone 6 eine beispielsweise rechteckförmige n-dotierte Zone 38 und eine beispielsweise rechteckförmige n-dotierte Zone 39 erzeugt, wobei sich die Zonen 38, 39 über die Trennzone 35 hinaus erstrecken oder innerhalb der Trennungszone 35 liegen. Zwischen den n-dotierten Zonen 38, 39 werden zwei nebeneinander liegende beispielsweise rechteckförmige n-dotierte Zonen 40, 41 in die p⁻-dotierte Zone 6 eingebracht. Die Erzeugung der n-dotierten Zonen 38 bis 41 erfolgt mittels Ionenimplantation mit den bekannten Verfahren (Figur 7c).

Für die Anschlüsse des Logikgatters werden nach dem Aufbringen einer weiteren Maske 42 in der äußeren n-dotierten Zone 38 eine oberflächennahe n^+ -dotierte Übergangszone 43 erzeugt, während innerhalb der äußeren n-dotierten Zone 39 eine oberflächennahe n^+ -dotierte Übergangszone 44 erzeugt wird. In den inneren n-dotierten Zonen 40, 41 werden ebenfalls oberflächennahe n^+ -dotierte Übergangszonen 45, 46 geschaffen (Figur 7d).

Daraufhin wird eine weitere Maske 47 aufgebracht, um in dem innenliegenden Bereich der äußeren n-dotierten Zone 38 eine oberflächennahe p^+ -dotierte Übergangszone 48 und in der Innenzone 6 zwischen der inneren n-dotierten Zone 41 und der äußeren n-dotierten Zone 39 eine oberflächennahe p^+ -dotierte Übergangszone 49 zu erzeugen (Figur 7e).

Auf die Halbleiterstruktur wird eine Isolationsschicht 50 aufgebracht, die im Bereich der Anschlüsse freigelegt wird. Der Wannenanschluß W erfolgt an den äußeren n^+ -dotierten Übergangszonen 43, 44, der Anschluß des Injektors Inj. für den Versorgungsstrom an der p^+ -dotierten Übergangszone 48, die innerhalb der äußeren n-dotierten Zone 38 liegt, die Gatter-Anschlüsse C_1 , C_2 an den inneren n^+ -dotierten Übergangszonen 45, 46 und der Anschluß B für die Steuerung des Gatters an der p^+ -dotierten Übergangszone 49 (Figur 7f).

Bei dem unter Bezugnahme auf Figur 7 beschriebenen Logikgatter wird das aktive Gebiet durch eine implantierte Trennzone separiert. Figur 8 veranschaulicht ein Verfahren, bei dem eine zusätzliche Implantation zur Abtrennung des aktiven Gebietes nicht erforderlich ist. Das Verfahren gemäß Figur 8 unterscheidet sich von dem Verfahren gemäß Figur 7 dadurch, daß die Herstellung der Ausgangsstruktur durch Hochvoltionenimplantation unter Verwendung einer zusätzlichen Maske erfolgt. Die einzelnen Masken und Zonen von Figur 8, die denen von Figur 7 entsprechen, sind mit den gleichen Bezugszeichen versehen.

Figur 8a zeigt die Ausgangsstruktur, die mit Ausnahme der Verwendung der zusätzlichen Maske mit dem unter Bezugnahme auf die Figuren 1a bis 1c beschriebenen Verfahren hergestellt wird. Vor der Ionenimplantation wird innerhalb des Fensters 3 der Maske 2 in einem zweiten Lithographieschritt eine weitere Maske 51 auf das Halbleitersubstrat aufgebracht, die den abzutrennenden Bereich umschließt. Die zweite Maske 51 hat eine

geringere Dicke als die erste Maske, in etwa die halbe Dicke.

Nach der Maskenerstellung erfolgt eine Dotierung, vorzugsweise eine Implantation von Phosphorionen mit einer Dosis von z. B. 2×10^{13} Ionen/cm², um die n-dotierte Wanne 5 in dem Halbleitersubstrat zu schaffen. Dabei wird der von der zweiten Maske 51 abgedeckte Bereich der Wanne 5 nach oben gezogen. Anschließend werden die n-dotierten Zonen 38, 39, 40, 41 in der p-dotierten Innenzone 6 erzeugt, wobei die außenliegenden n-dotierten Zonen 38, 39 sich bis an den hochgezogenen Bereich der Wanne 5 erstrecken (Figur 8b). Der Verfahrensschritt gemäß Figur 8b entspricht dem Schritt gemäß Figur 7c. Die Abtrennung des aktiven Gebietes durch die nach oben gezogene Wanne 5 in Verbindung mit den außenliegenden n-dotierten Zonen 38, 39 ermöglicht eine noch höhere Packungsdichte.

Daraufhin folgen weitere Dotierungsschritte, die denen der Figuren 7d bis 7f entsprechen. Allerdings wird in der Maske 42' oberhalb der nach oben gezogenen Randzone 7 der Wanne 5 ein weiterer Ausschnitt 51 freigelegt, um eine weitere n⁺-dotierte Übergangszone 52 zu erzeugen, die dem Anschluß der Wanne dient (Figur 8c). Für den Wannenanschluß wird die Isolationsschicht 50' oberhalb der n⁺-dotierten Übergangszone 43 oder 52 freigelegt (Figur 8e).

Das unter Bezugnahme auf Figur 9 beschriebene Verfahren geht von der Halbleiterstruktur aus, die mit den Schritten hergestellt wird, wie das Halbleitersubstrat gemäß Figur 8a. Zur Abtrennung des aktiven Bereichs wird jedoch anstelle der n-Dotierung oberhalb des nach oben gezogenen Bereichs der Wanne 5 eine Oxidschicht 53, 54 aufgebracht, die sich bis an die Wanne erstreckt (Fig. 9a). Daraufhin folgen weitere Dotierungsschritte, die mit der Ausnahme denen der Figuren 8b bis 8e entsprechen, daß die Dotierungen oberhalb des nach oben gezogenen Bereichs der Wanne 5 fehlen und die außenliegende n-dotierte Zone 38' sowie die n⁺-dotierte Übergangszone 43' sich nur bis nahe an oder nur wenig in die Oxidschicht 53, nicht aber über den hochgezogenen Bereich der Wanne 5 hinaus erstrecken. Die modifizierten Masken sind mit den Bezugszeichen 42'', 47' versehen. Um einen Anschluß für die Basis des Injektors Inj. zu schaffen, wird die Isolationsschicht 50'' oberhalb der Übergangszone 43' freigelegt (Figur 9e). Ansonsten erfolgen die Anschlüsse wie bei dem Logikgatter gemäß Figur 8.

Die Figuren 10a bis 10f veranschaulichen die einzelnen Verfahrensschritte zur Herstellung eines Logikgatters, bei dem der aktive Bereich durch Trennschnitte separiert wird. Das Verfahren geht wieder von einem Halbleitersubstrat mit einer hochgezogenen Wanne 5 aus (Figuren 1a bis 1c). In der p^- -dotierten Innenzone 6 werden nach der Erstellung der Maske 37' wieder n-dotierte Zonen 38, 40, 41 erzeugt (Figur 10b). Nach Erstellung einer weiteren Maske 42'' werden in den Zonen 38, 40, 41 sowie im Bereich des hochgezogenen Randes 7 der Wanne 5 n^+ -dotierte Übergangszonen 43, 45, 46, 55 erzeugt (Figur 10c). Anschließend wird nach der Erstellung einer weiteren Maske 47 eine p^+ -dotierte Zone 49 in der Innenzone 6 und eine p^+ -dotierte Zone 48 in dem innenliegenden Bereich der äußeren n-dotierten Zone 38 geschaffen (Figur 10d). Nun erfolgt die Abtrennung des aktiven Bereichs durch zwei sich bis in die Wanne 5 erstreckende Trennschnitte 56, 57 seitlich der p^+ -dotierten Zone 49 sowie der n-dotierten Zone 38 (Figur 10e). Die Trennschnitte werden in bekannter Weise wieder aufgefüllt werden. Figur 10f zeigt das mit der Isolationsschicht 50'' abgedeckte Halbleitersubstrat mit den Anschlüssen für das Logikgatter.

Die einzelnen Dotierungsschritte zur Herstellung des Logikgatters können in unterschiedlicher Reihenfolge erfolgen. So ist es beispielsweise nicht zwingend erforderlich, die Verfahrensschritte zur Abtrennung der aktiven Bereiche der Logikgatter auszuführen, bevor die Dotierungsschritte für die Herstellung der Logikgatter vorgenommen werden. Vielmehr können zunächst die einzelnen Dotierungsschritte vorgenommen und die aktiven Bereiche des Logikgatters erst später mit den oben beschriebenen Verfahren separiert werden. Auch können andere als die obigen Halbleiterstrukturen unter Verwendung der Ausgangsstruktur durch Abtrennen einzelner Bereich hergestellt werden.

Die Größe der Überlappung der verschiedenen Dotierungen erfolgt nach den bekannten Regeln einer Fertigung. Doppelimplantation der gleichen Spezies an einer Stelle bei n^+ über n oder p^+ über p können dann an dieser Stelle entfallen, wenn eine Anschlußfläche nicht erforderlich ist oder ein pn-Übergang schon mit einer Implantation entsteht.

Implantationen können nach den bekannten Regeln durch die Fenster des Isolators erfolgen (Selbstjustierung) oder es können mehrere Implantationen durch dieselbe Maske erfolgen. Die

Trennung der Dotierung erfolgt durch Diffusion oder Schrägimplantation. Andere dem Fachmann bekannte Verfahren zur Erzeugung der PN-Übergänge und Anschlüsse können sinngemäß ebenfalls verwendet werden, wie beispielsweise Dotierungen aus einer Polysiliziumschicht.

Die Figuren 11a bis 11d zeigen die einzelnen Verfahrensschritte zur Herstellung lichtempfindlicher Dioden ausgehend von der unter Bezugnahme auf die Figuren 1a bis 1c beschriebenen Halbleiterstruktur. Zur Kontaktierung der n-dotierten Wanne 5 wird nach Aufbringen einer Maske 58 in die bis an die Oberfläche des Halbleitersubstrats 1 reichende Randzone 7 der Innenzone 5 eine umlaufende oberflächennahe n^+ -dotierte Übergangszone 59 implantiert (Figur 11b). Die Kontaktierung der p^- -dotierten Innenzone 6 erfolgt mit einer oberflächennahen p^+ -dotierten Übergangszone 60, die nach Aufbringen einer Maske 61 in die Innenzone 6 implantiert wird. Gleichzeitig wird eine weitere oberflächennahe p^+ -Übergangszone außerhalb der Wanne 5 in das Halbleitersubstrat 1 implantiert (Figur 11c). Anschließend wird eine lichtdurchlässige Isolationsschicht 63 auf das Halbleitersubstrat 1 aufgebracht, die in den Bereichen der Übergangszonen 59, 60, 62 freigelegt wird. An den freigelegten Bereichen der Isolationsschicht 63 erfolgt die Kontaktierung mit den Kontakten 1 bis 3. Damit werden zwei PN-Übergänge geschaffen. Die Anschlüsse der ersten lichtempfindlichen Diode bilden die Kontakte 1 und 2, während die Kontakte 2 und 3 die Anschlüsse der zweiten lichtempfindlichen Diode bilden. Wegen der unterschiedlich tiefen Lage der PN-Übergänge verfügen beide Dioden über eine hohe spektrale Empfindlichkeit bei unterschiedlichen Wellenlängen. Die erste Diode ist für kurzwelliges Licht und die zweite Diode für langwelliges Licht empfindlich. Ausgehend von der Halbleiterstruktur gemäß der Figuren 1a bis 1c können aber auch nur eine der beiden Dioden hergestellt werden.

Nachfolgend werden verschiedene Verfahren zur Herstellung lichtempfindlicher Transistoren mit offener Basis ausgehend von den unter Bezugnahme auf die Figuren 1a bis 1c beschriebenen Halbleitersubstrat erläutert.

Nach Aufbringen einer Maske 64 wird wie bei der Herstellung der Dioden (Figuren 11a bis 11d) eine umlaufende oberflächennahe n^+ -dotierte Übergangszone 65 in die nach oben gezogene Randzone 7 der n-dotierten Wanne 5 implantiert. In die p^- -dotierte Innenzone 6

wird eine n^+ -dotierte Zone 66 implantiert (Figur 12b). Daraufhin wird eine lichtdurchlässige Isolationsschicht 67 auf das Halbleitersubstrat aufgebracht, die im Bereich der n^+ -dotierten Übergangszone 65 sowie der n^+ -dotierten Zone 66 freigelegt wird. In den freigelegten Bereichen der Isolationsschicht 67 erfolgt die Kontaktierung der Anschlüsse für den Emitter E und Kollektor C.

Die Lichtempfindlichkeit des Phototransistors gemäß der Figuren 12a bis 12c kann durch eine Zusatzimplantation mit n-dotiertem Material erhöht werden. Die Figuren 13a bis 13d zeigen die einzelnen Verfahrensschritte zur Herstellung eines lichtempfindlichen Transistors mit erhöhter Photoempfindlichkeit ausgehend von der Halbleiterstruktur gemäß der Figuren 1a bis 1c. Nach Aufbringen einer Maske 68 wird eine umlaufende n-dotierte Zone 69 in die nach oben gezogene Randzone 7 der n-dotierten Wanne 5 implantiert. Gleichzeitig wird eine n-dotierte Zone 70 in die p^- -dotierte Innenzone 6 implantiert (Figur 13b). Daraufhin wird eine oberflächennahe n^+ -dotierte Übergangszone 71 in die umlaufende n-dotierte Zone 69 implantiert. In die zentrale n-dotierte Zone 70 wird ebenfalls eine n^+ -dotierte Zone 72 implantiert. Die Implantationen erfolgen nach dem Aufbringen einer Maske 73 (Figur 13c). Daraufhin wird eine lichtdurchlässige Isolationsschicht 74 aufgebracht, die oberhalb der n^+ -dotierten Übergangszone 71 und der n^+ -dotierten Zone 72 freigelegt wird. An den freigelegten Stellen erfolgt wieder die Kontaktierung des Emitters E und des Kollektors C (Figur 13d).

Ein lichtempfindlicher Transistor mit erhöhter Spannungsfestigkeit, aber verringerter Photoempfindlichkeit kann durch eine Zusatzimplantation mit p-dotiertem Material geschaffen werden. Die Figuren 14a bis 14d zeigen die einzelnen Herstellungsschritte eines derartigen Phototransistors. Das Herstellungsverfahren unterscheidet sich von dem unter Bezugnahme auf die Figuren 13a bis 13d beschriebenen Verfahren dadurch, daß nach Aufbringen einer Maske 76 in die p^- -dotierte Innenzone 6 nicht eine n-dotierte, sondern eine p-dotierte Zone 75 implantiert wird (Figur 14b). In die nach oben gezogenen Randzone 7 der n-dotierten Wanne 5 wird anschließend eine oberflächennahe n^+ -dotierte Übergangszone 77 und eine weitere n^+ -dotierte Übergangszone 78 in die p-dotierte Zone 75 implantiert. Die Implantationen erfolgen wieder nach Aufbringen einer Maske 79 (Figur 14c). Eine lichtdurchlässige Isolationsschicht 80, die oberhalb der n^+ -dotierten Übergangszone 77 und

der n^+ -dotierten Übergangszone 78 für die Anschlüsse des Emitters E und Kollektors C freigelegt wird, deckt das Halbleitersubstrat ab (Figur 14d).

Ausgehend von der unter Bezugnahme auf die Figuren 1a bis 1c beschriebenen Halbleiterstruktur kann ein lateraler PNP-Transistor wie folgt hergestellt werden.

Figur 15a zeigt den Schritt der Erzeugung der n-dotierten Wanne 5 in dem Halbleitersubstrat 1 mittels Hochvoltionenimplantation. Auf das Halbleitersubstrat wird die Maske 2 mit dem Fenster 3 aufgebracht, so daß sich während der Ionenimplantation in der Wanne 5 die nach oben gezogene Randzone 7 ausbildet, die bis zu der Oberfläche des Halbleitersubstrates reicht und die verbleibende p^- -dotierte Innenzone 6 an der Oberfläche des Halbleitersubstrates umschließt.

In der Innenzone 6 wird mit einer Maske 100, ähnlich wie in Figur 1a bis 1c, eine weitere Hochvoltionenimplantation mit n-Dotierung und einer Dosis von etwa $1 \times 10^{13} / \text{cm}^2$ vorgenommen. Es bildet sich eine Wanne 5' in der Wanne 5 mit einer verbleibenden p^- -Innenzone 6' und einem hochgezogenen Rand 7' bis an die Oberfläche des Substrates (Fig. 15b).

Nach Aufbringen der Maske 81 werden oberflächennahe n^+ -Anschlußdotierungen in den umlaufenden Bereichen 85 und 86 implantiert (Fig. 15c). Maske 82 definiert die Bereiche 87 und 88 innerhalb der Wanne 5 und der Bereich 89 innerhalb der Wanne 5' (Fig. 15d). Auf diese Implantation kann auch verzichtet werden. Maske 83 definiert die oberflächennahen p^+ -Anschluß-Implantationen in den Bereichen 90 und 91 (Fig. 15e).

Die von der Isolation 84 freigelegten Bereiche 85 und 86 sind die Basisanschlüsse, die Bereiche 90 und 91 die Kollektoranschlüsse, der Bereich 92 der Emitteranschluß des PNP. Der hochgezogene Rand 7' der Wanne 5' bildet die Basis der lateralen PNPs. Die Wanne 5 mit dem hochgezogenen Rand 7 dient als Isolation und kann als Basisanschluß genutzt werden wie der hochgezogene Rand 7' der Wanne 5'. Die Verstärkung des Transistors läßt sich durch die Implantationsdosis der Wanne 5' einstellen.

Patentansprüche

1. Verfahren zur Herstellung von integrationsfähigen Halbleiterbauelementen, insbesondere Transistoren, Dioden und Logikgattern, ausgehend von einem p-dotierten oder n-dotierten Halbleitersubstrat mit folgenden Schritten:
 - Aufbringen einer Maske auf das Halbleitersubstrat zur Definition eines von einer umlaufenden Kante begrenzten Fensters,
 - Erzeugen einer n-dotierten Wanne in dem p-dotierten Halbleitersubstrat bzw. p-dotierten Wanne in dem n-dotierten Halbleitersubstrat mittels Ionenimplantation durch die Maske mit einer Energie, die ausreichend hoch ist, so daß an der Oberfläche des Halbleitersubstrats eine p-dotierte bzw. n-dotierte Innenzone verbleibt, wobei die Randzone der n-dotierten bzw. p-dotierten Wanne bis an die Oberfläche des Halbleitersubstrats reicht, oder Erzeugen einer bis an die Oberfläche des Halbleitersubstrats reichenden n-dotierten bzw. p-dotierten Zone mittels Ionenimplantation durch die Maske, wobei in die n-dotierte Zone bzw. p-dotierte Zone eine p-Dotierung bzw. n-Dotierung derart eingebracht wird, daß in der n-dotierten Zone bzw. p-dotierten Zone eine p-dotierte bzw. n-dotierte Innenzone entsteht, die von der n-dotierten bzw. p-dotierten Zone umschlossen wird,
 - Erzeugen von weiteren die Struktur des Halbleiterbauelements bildenden n-dotierten und/oder p-dotierten Zonen in der p-dotierten bzw. n-dotierten Innenzone und in der Randzone der n-dotierten bzw. p-dotierten Wanne.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß zur Schaffung der einen NPN-Transistor bildenden Struktur in der p-dotierten Innenzone eine zusammen mit der p-dotierten Innenzone die Basis des Transistors bildende von der p-dotierten Innenzone eingeschlossene p-dotierte Zone mit einer stärkeren Dotierung als die des Halbleitersubstrates und in der p-dotierten Zone eine den Emitter des Transistors

bildende n-dotierte Zone erzeugt werden, wobei die n-dotierte Wanne den Kollektor des Transistors bildet.

3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, daß die den Emitter bildende n-dotierte Zone eine stärkere Dotierung als die der n-dotierten Wanne hat.
4. Verfahren nach Anspruch 2 oder 3, dadurch gekennzeichnet, daß in der n-dotierten Randzone der Wanne eine n-dotierte Übergangszone mit einer stärkeren Dotierung als die der Wanne und in der von der p-dotierten Innenzone eingeschlossenen p-dotierten Zone eine p-dotierte Zone mit einer stärkeren Dotierung als die der von der p-dotierten Innenzone eingeschlossenen p-dotierten Zone erzeugt werden.
5. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß zur Schaffung der einen PNP-Transistor bildenden Struktur in der p-dotierten Innenzone eine die Basis des Transistors bildende von der p-dotierten Innenzone eingeschlossenen n-dotierte Zone und in der n-dotierten Zone eine den Emitter des Transistors bildende p-dotierte Zone erzeugt werden, wobei die p-dotierte Innenzone den Kollektor des Transistors bildet.
6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, daß die den Emitter des Transistors bildende p-dotierte Zone eine stärkere Dotierung als die des Halbleitersubstrats hat.
7. Verfahren nach Anspruch 5 oder 6, dadurch gekennzeichnet, daß in der n-dotierten Randzone der Wanne eine n-dotierte Zone mit einer stärkeren Dotierung als die der Wanne und in der die Basis bildenden n-dotierten Zone eine n-dotierte Zone mit einer stärkeren Dotierung als die der die Basis bildenden n-dotierten Zone und in der p-dotierten Innenzone eine p-dotierte Zone mit einer stärkeren Dotierung als die der p-dotierten Innenzone erzeugt werden.
8. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß zur Schaffung der einen NPN-Transistor mit hoher Verstärkung bildenden Struktur in der p-dotierten Innenzone eine den Emitter des Transistors bildende n-dotierte Zone erzeugt wird,

wobei die p-dotierte Innenzone die Basis und die n-dotierte Wanne den Kollektor des Transistors bildet.

9. Verfahren nach Anspruch 8, dadurch gekennzeichnet, daß in der Randzone der n-dotierten Wanne eine n-dotierte Zone mit einer stärkeren Dotierung als die der Wanne und in der den Emitter bildenden n-dotierten Zone eine n-dotierte Zone mit einer stärkeren Dotierung als die der den Emitter bildenden Zone und in der p-dotierten Innenzone eine p-dotierte Zone mit einer stärkeren Dotierung als die der p-dotierten Innenzone erzeugt werden.
10. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß zur Schaffung der ein I²L-Element bildenden Struktur eine die Randzone der n-dotierten Wanne mit der p-dotierten Innenzone verbindende n-dotierte Zone und in der p-dotierten Innenzone mindestens eine n-dotierte Zone erzeugt werden, wobei die p-dotierte Innenzone die Basis eines Multikollektor-Transistors und die mindestens eine von der p-dotierten Innenzone eingeschlossene n-dotierte Zone die einzelnen Kollektoren des Transistors bilden.
11. Verfahren nach Anspruch 10, dadurch gekennzeichnet, daß in der die Randzone der n-dotierten Wanne mit der p-dotierten Innenzone verbindenden n-dotierten Zone eine p-dotierte Zone eingebracht wird.
12. Verfahren nach Anspruch 11, dadurch gekennzeichnet, daß in der p-dotierten Innenzone eine p-dotierte Zone mit einer stärkeren Dotierung als die des Halbleitersubstrats und in der mindestens einen von der p-dotierten Innenzone eingeschlossenen n-dotierten Zone eine n-dotierte Zone mit einer stärkeren Dotierung als die der n-dotierten Zone erzeugt werden.
13. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß zur Schaffung einer einen Feldeffekttransistor bildenden Struktur in der p-dotierten Innenzone eine das Gate des Transistors bildende n-dotierte Zone erzeugt wird, die die p-dotierte Innenzone in zwei

p-dotierte Bereiche trennt, von denen der eine Bereich den Drain und der andere Bereich den Source des Transistors darstellt.

14. Verfahren nach Anspruch 13, dadurch gekennzeichnet, daß in die Drain und Source bildenden Bereiche der p-dotierten Innenzone jeweils eine p-dotierte Zone mit einer stärkeren Dotierung als die der p-dotierten Innenzone eingebracht werden.
15. Verfahren nach Anspruch 13 oder 14, dadurch gekennzeichnet, daß in die das Gate bildende n-dotierte Zone eine n-dotierte Zone mit einer stärkeren Dotierung als die das Gate bildende n-dotierte Zone eingebracht wird.
16. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß zum Separieren aktiver Gebiete für einzelne Halbleiterbauelemente in dem Halbleitersubstrat jeweils eine das aktive Gebiet umschließende n-dotierte Zone erzeugt wird.
17. Verfahren nach Anspruch 16, dadurch gekennzeichnet, daß die das aktive Gebiet umschließende n-dotierte Zone sich bis in die n-dotierte Wanne des Halbleitersubstrats erstreckt.
18. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß zum Separieren aktiver Gebiete für einzelne Halbleiterbauelemente in dem Halbleitersubstrat vor der Ionenimplantation jeweils eine das aktive Gebiet umschließende Maske auf das Halbleitersubstrat aufgebracht und die n-dotierte Wanne in dem Halbleitersubstrat mittels Ionenimplantation nach dem Aufbringen der Maske erzeugt wird, so daß die Wanne in dem unterhalb der Maske liegende Bereich nach oben gezogen wird.
19. Verfahren nach Anspruch 18, dadurch gekennzeichnet, daß in dem Halbleitersubstrat eine sich bis zu dem nach oben gezogenen Bereich der n-dotierten Wanne erstreckende n-dotierte Zone erzeugt wird.

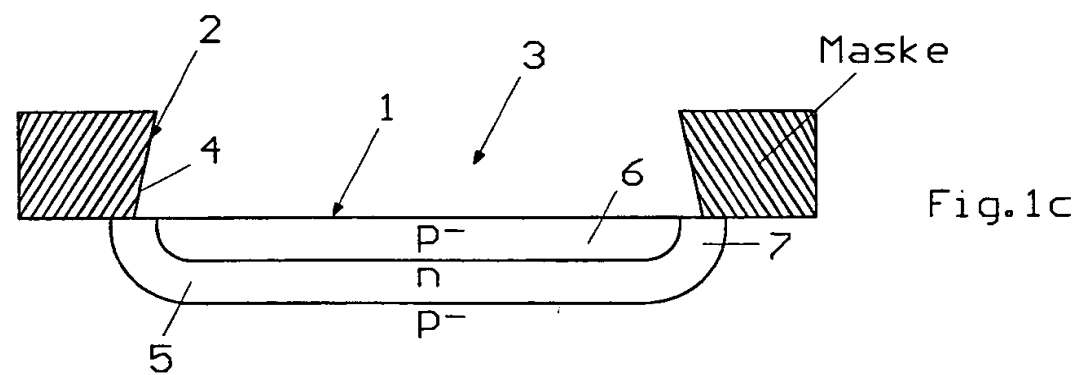
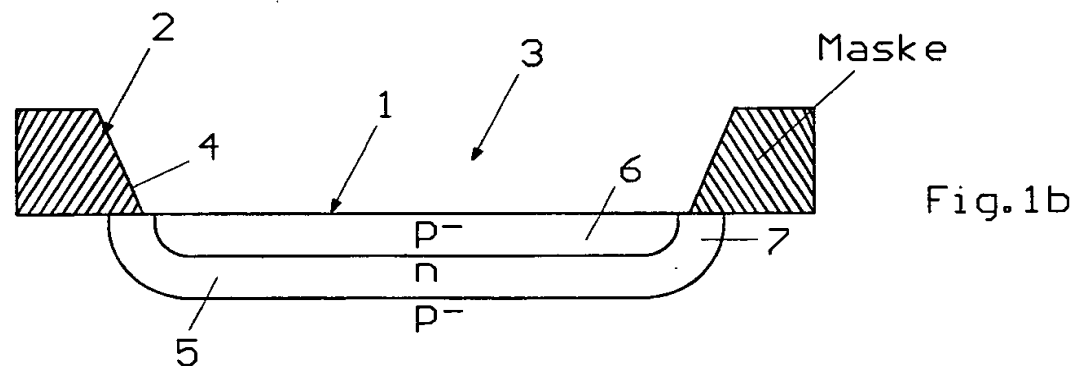
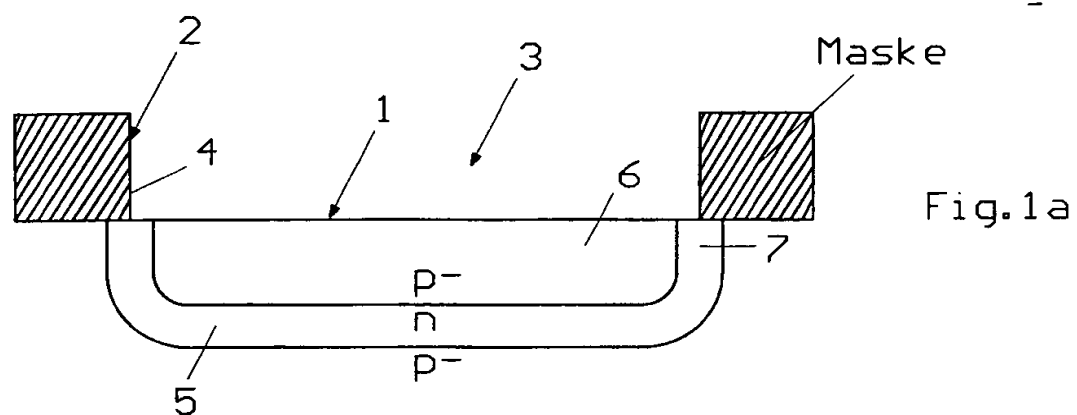
20. Verfahren nach Anspruch 18, dadurch gekennzeichnet, daß in dem Halbleitersubstrat eine Oxidschicht einen Bereich der n-dotierten Wanne bis nach oben unter das Oxid erzeugt.
21. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß in dem Halbleitersubstrat aktive Gebiete für einzelne Halbleiterbauelemente durch Trennschnitte separiert werden.
22. Verfahren nach einem der Ansprüche 16 bis 21, dadurch gekennzeichnet, daß in den aktiven Gebieten n-dotierte und/oder p-dotierte Zonen zur Schaffung der die Halbleiterbauelemente bildenden Strukturen erzeugt werden.
23. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß zur Schaffung der eine lichtempfindliche Diode bildenden Struktur an der Randzone der n-dotierten Wanne ein erster Anschluß und an der p-dotierten Innenzone ein zweiter Anschluß geschaffen wird.
24. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß zur Schaffung der eine lichtempfindliche Diode bildenden Struktur in das Halbleitersubstrat außerhalb der n-dotierten Wanne eine p-dotierte Zone implantiert wird, wobei der erste Anschluß an der in das Halbleitersubstrat implantierten p-dotierten Zone und der zweite Anschluß an der Randzone der n-dotierten Wanne geschaffen wird.
25. Verfahren zur Schaffung der einen lichtempfindlichen Transistor bildenden Struktur in die p-dotierte Innenzone eine n-dotierte Zone implantiert wird, wobei der den Kollektor bildende Anschluß an der Randzone der n-dotierten Wanne und der den Emitter bildende Anschluß an der in die p-dotierte Innenzone implantierte n-dotierte Zone geschaffen wird.
26. Verfahren nach einem der Ansprüche 1 bis 25, dadurch gekennzeichnet, daß das p-dotierte bzw. n-dotierte Halbleitersubstrat ein schwach p-dotiertes bzw. n-dotiertes Halbleitersubstrat ist.

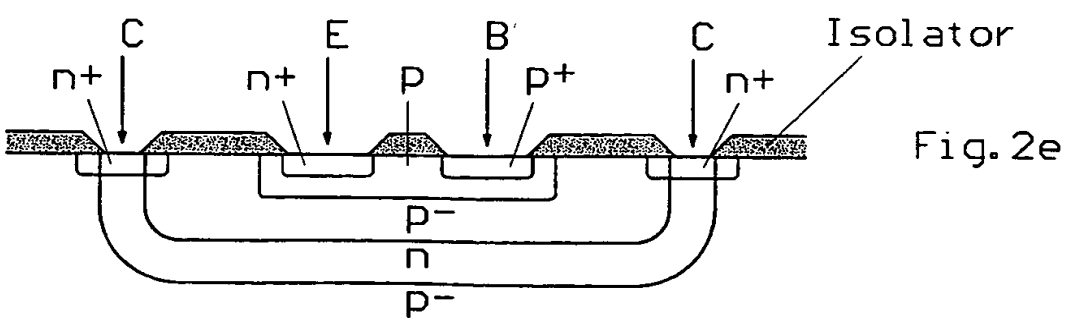
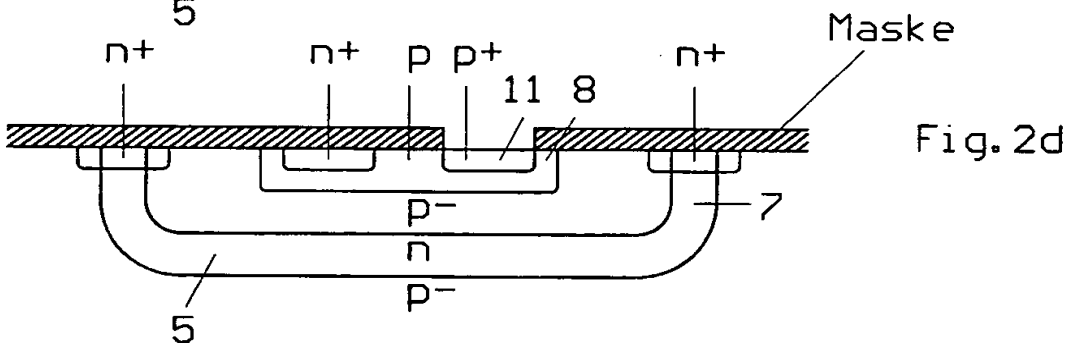
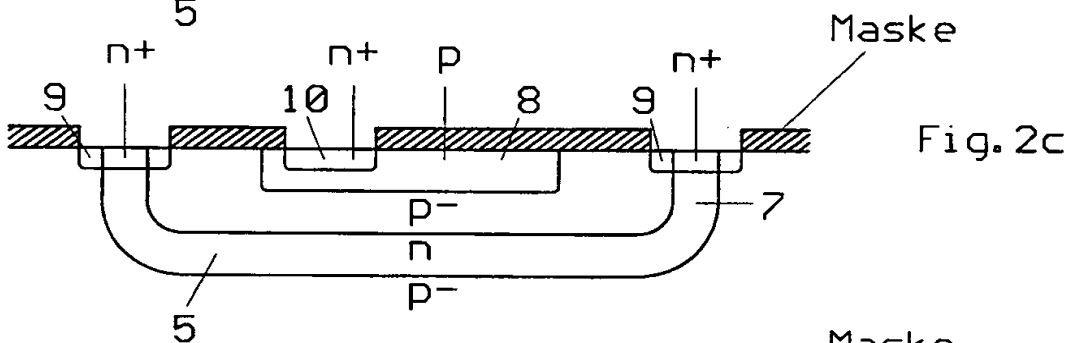
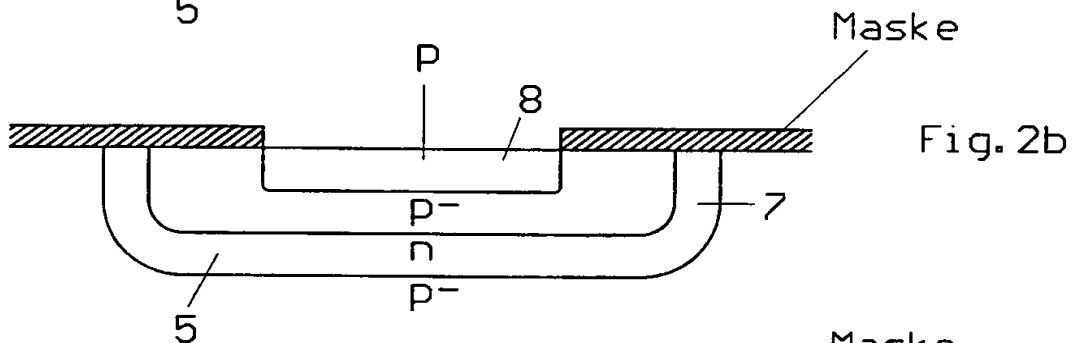
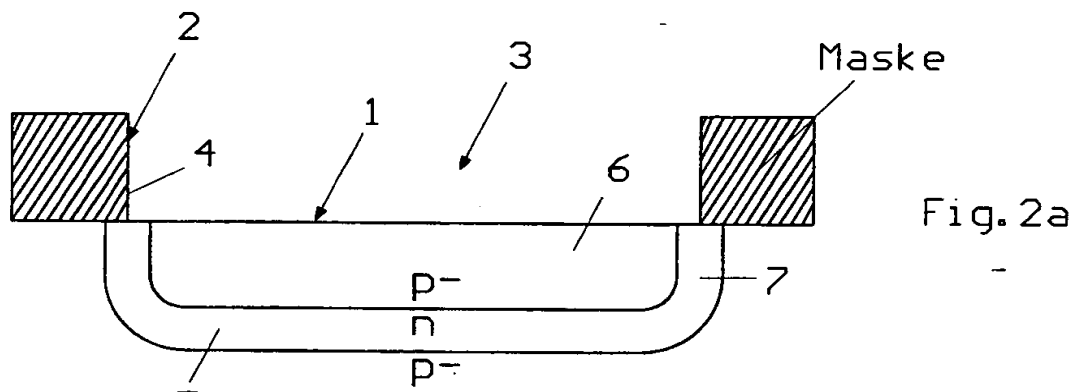
27. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß zur Schaffung eines lateralen Transistors in der n-dotierten Wanne bzw. p-dotierten Wanne des Halbleitersubstrats mittels Ionenimplantation eine zweite diaktive Basis des Transistors bildende n-dotierte bzw. p-dotierte Wanne erzeugt wird.

GEÄNDERTE ANSPRÜCHE

[beim Internationalen Büro am 13 März 2000 (13.03.00) eingegangen;
ursprünglicher Anspruch 1 geändert ;alle weiteren Ansprüche unverändert
(1 Seite)]

1. Verfahren zur Herstellung von integrationsfähigen Halbleiterbauelementen, insbesondere Transistoren, Dioden und Logikgattern, ausgehend von einem p-dotierten oder n-dotierten Halbleitersubstrat mit folgenden Schritten:
 - Aufbringen einer Maske auf das Halbleitersubstrat zur Definition eines von einer umlaufenden Kante begrenzten Fensters,
 - Erzeugen einer n-dotierten Wanne in dem p-dotierten Halbleitersubstrat bzw. p-dotierten Wanne in dem n-dotierten Halbleitersubstrat mittels Ionenimplantation durch die Maske mit einer Energie, die ausreichend hoch ist, so daß an der Oberfläche des Halbleitersubstrats eine p-dotierte bzw. n-dotierte Innenzone verbleibt, wobei die Randzone der n-dotierten bzw. p-dotierten Wanne bis an die Oberfläche des Halbleitersubstrats reicht, und
 - Erzeugen von weiteren die Struktur des Halbleiterbauelements bildenden n-dotierten und/oder p-dotierten Zonen in der p-dotierten bzw. n-dotierten Innenzone und in der Randzone der n-dotierten bzw. p-dotierten Wanne.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß zur Schaffung der einen NPN-Transistor bildenden Struktur in der p-dotierten Innenzone eine zusammen mit der p-dotierten Innenzone die Basis des Transistors bildende von der p-dotierten Innenzone eingeschlossene p-dotierte Zone mit einer stärkeren Dotierung als die des Halbleitersubstrates und in der p-dotierten Zone eine den Emitter des Transistors





4 / 16

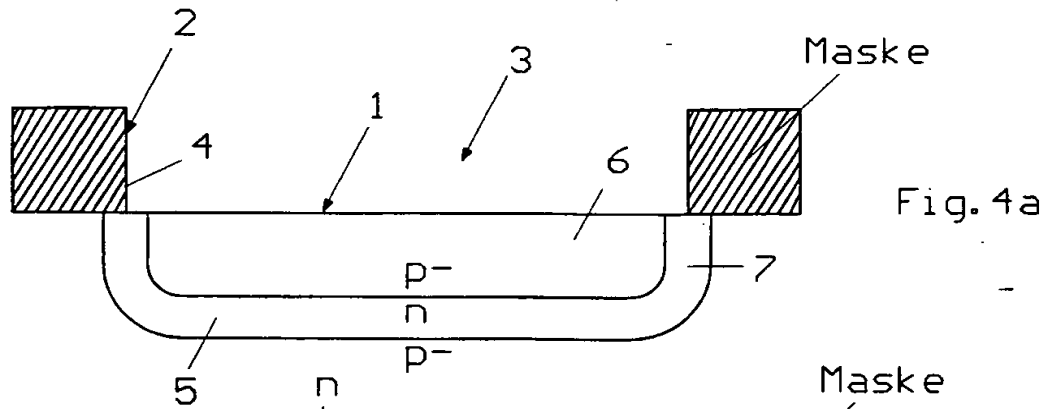


Fig. 4a

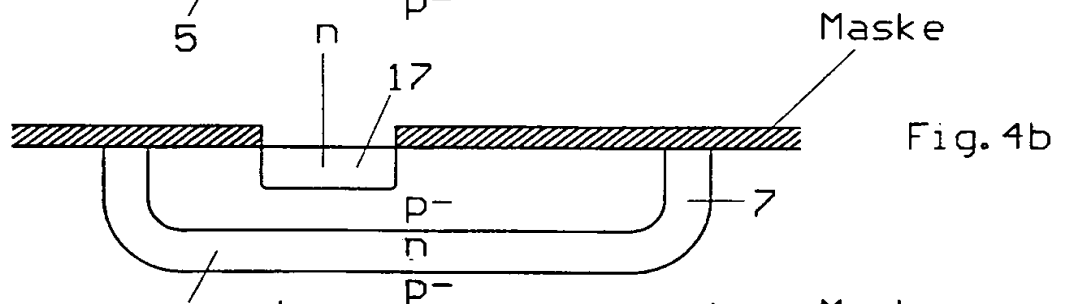


Fig. 4b

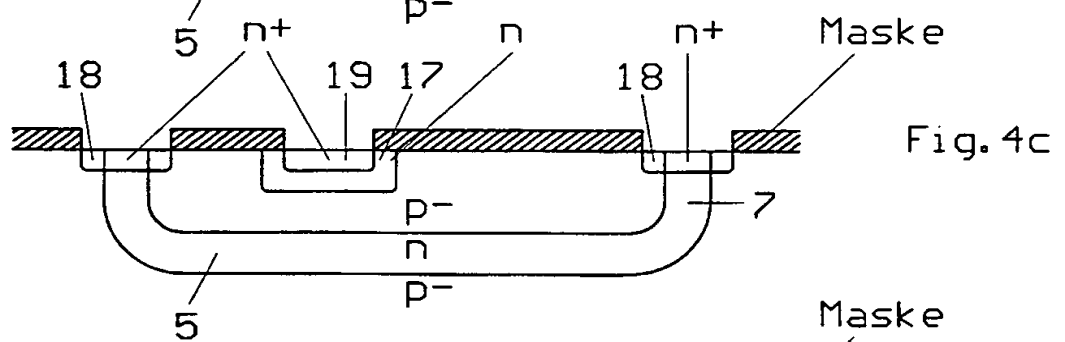


Fig. 4c

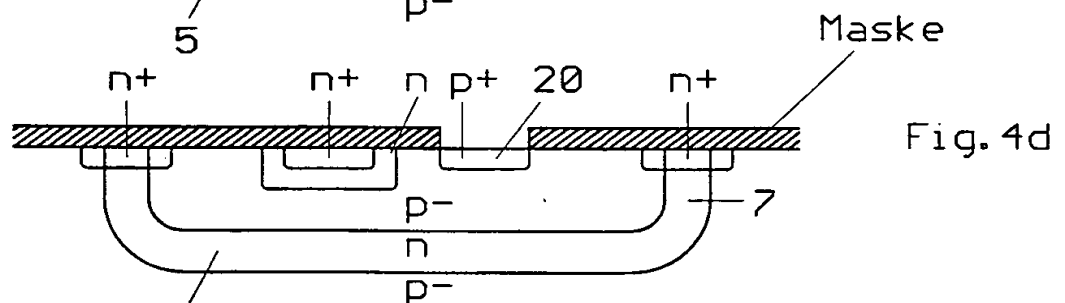


Fig. 4d

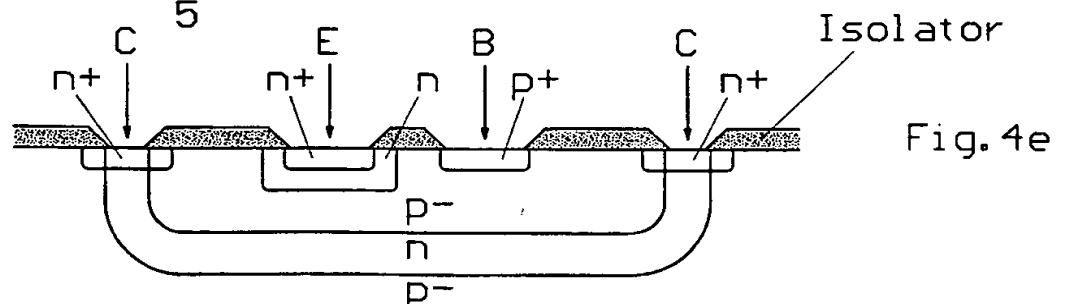


Fig. 4e

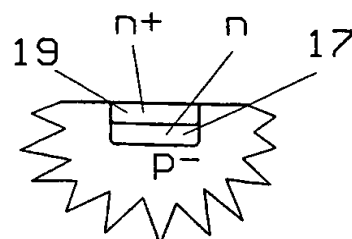
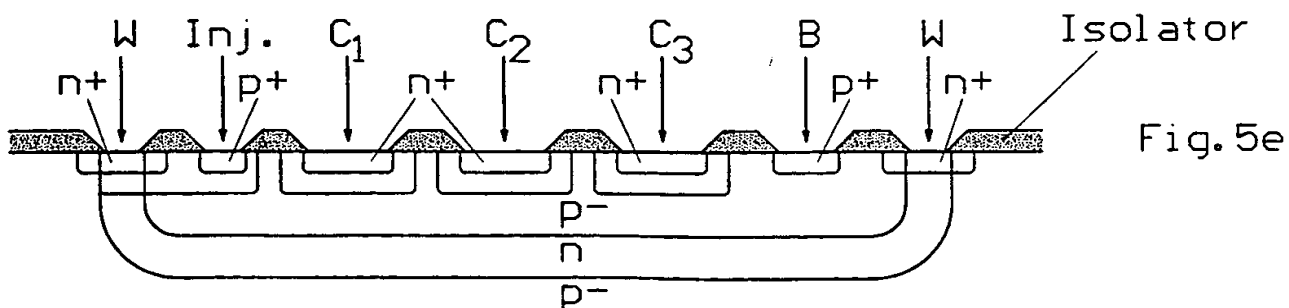
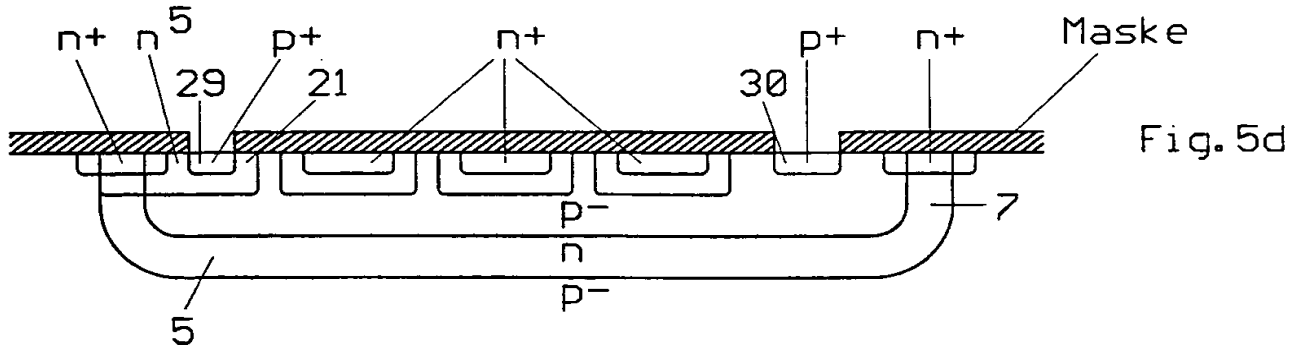
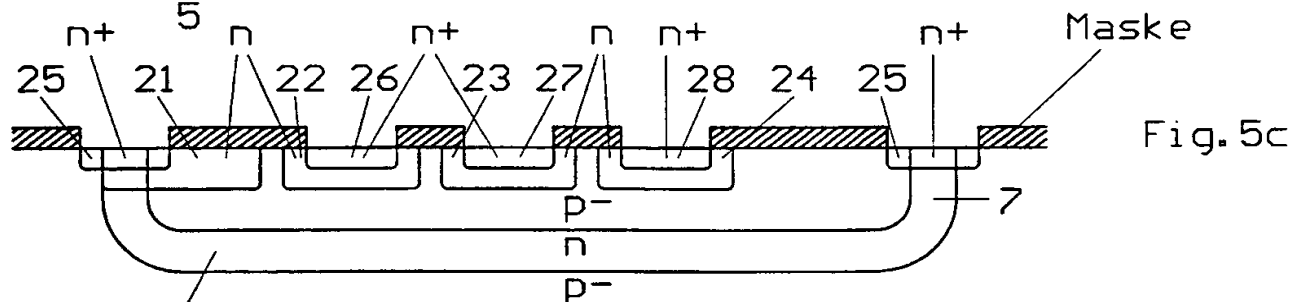
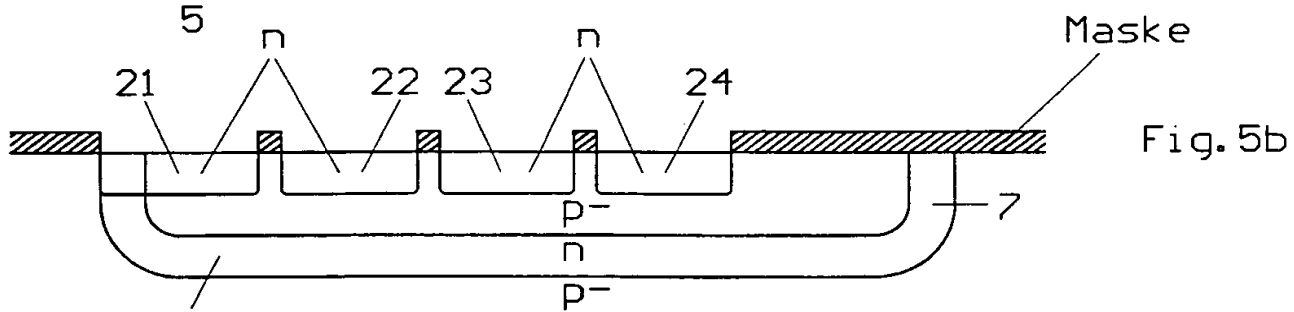
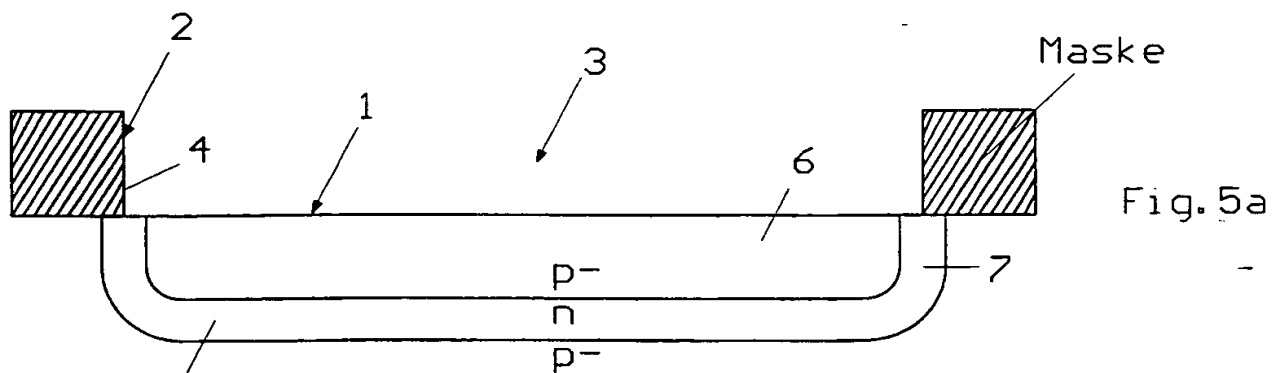
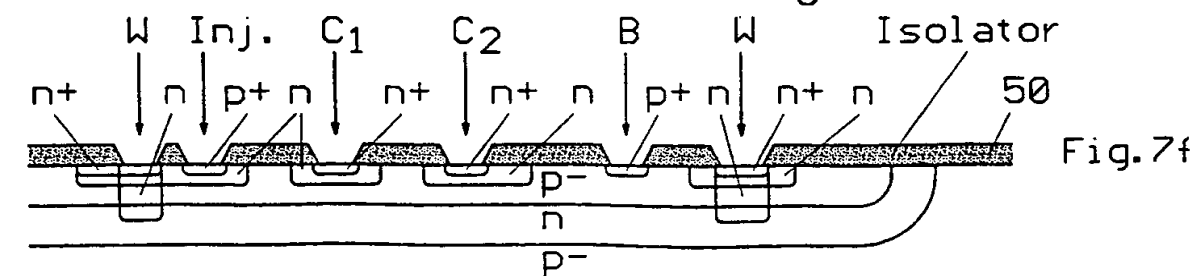
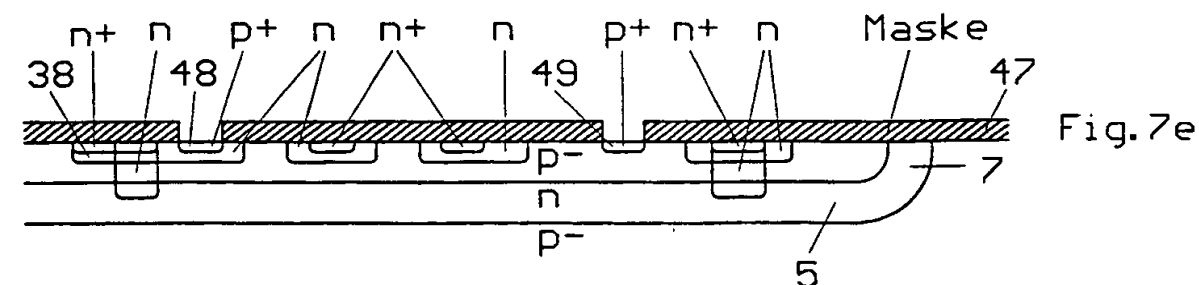
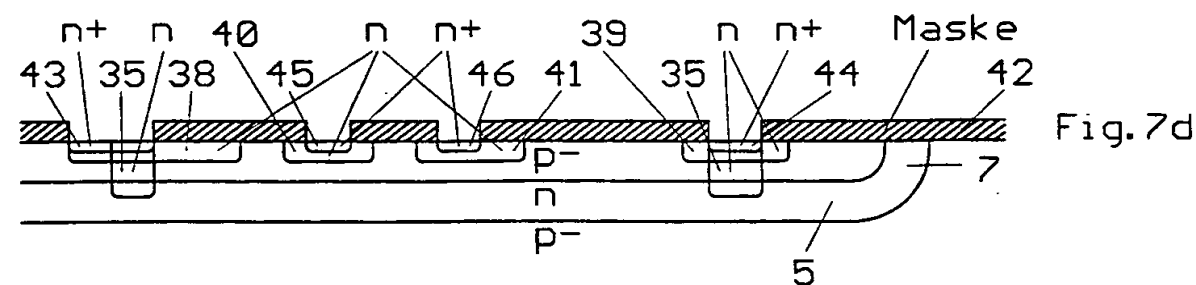
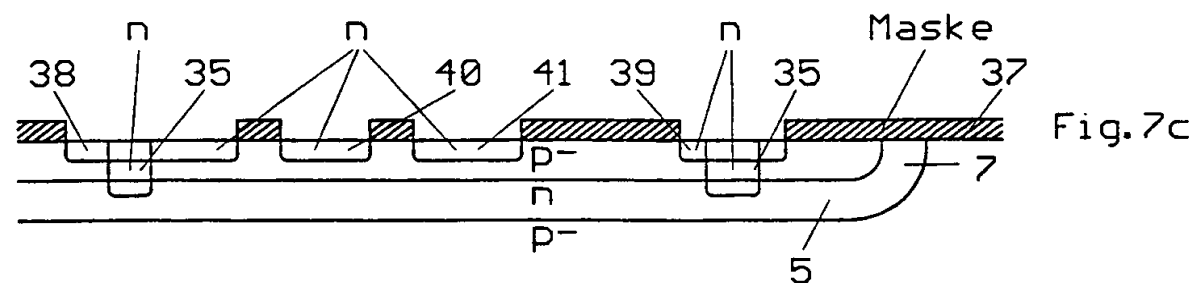
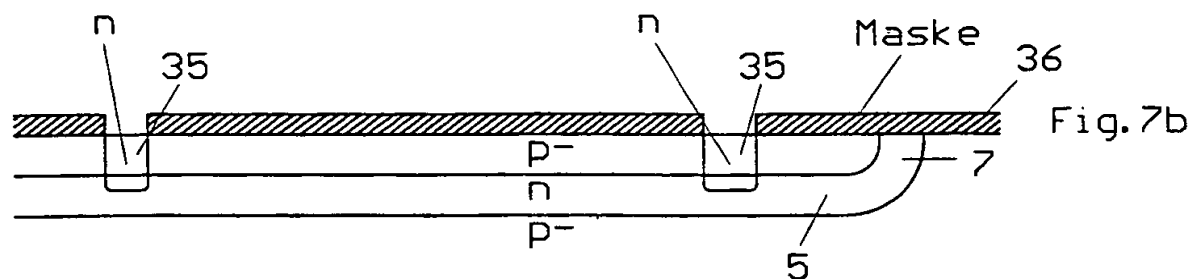
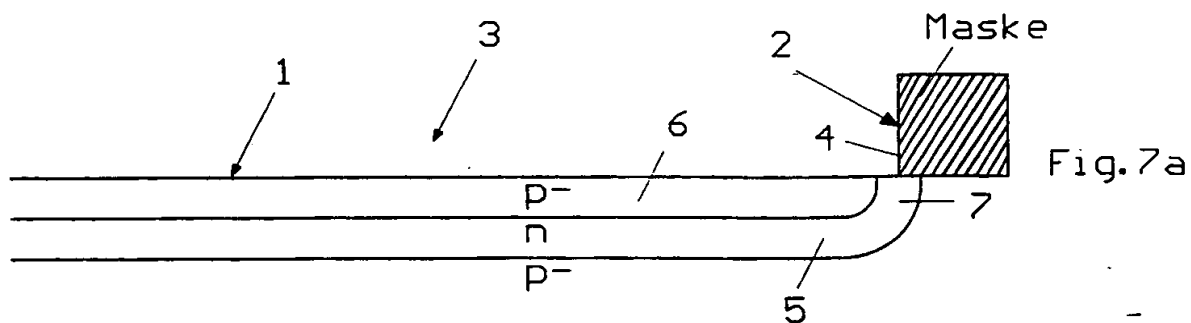


Fig. 4f



7 / 16



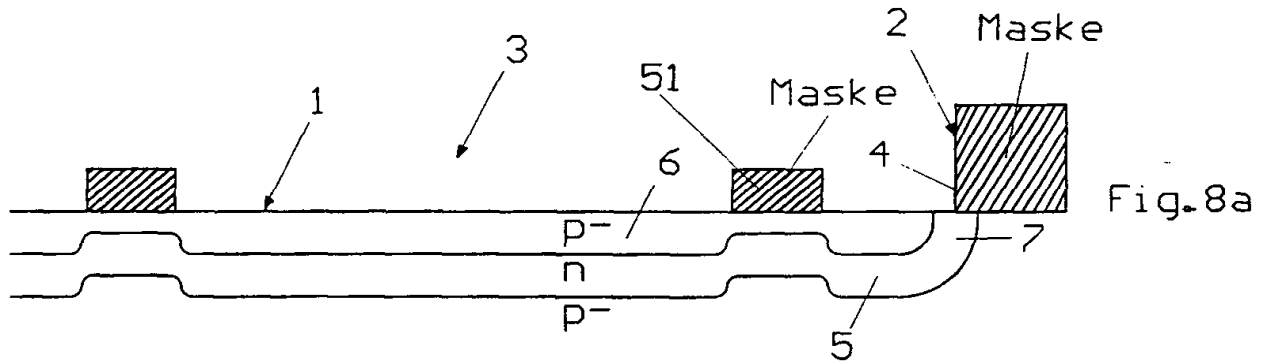


Fig. 8a

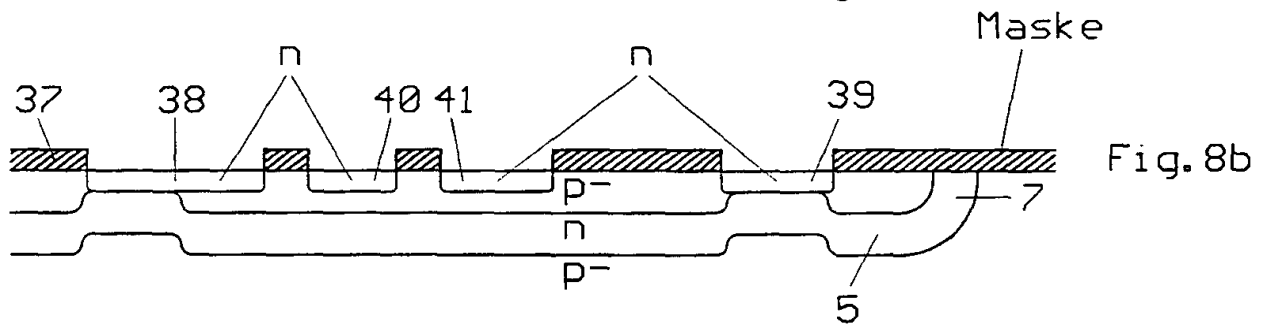


Fig. 8b

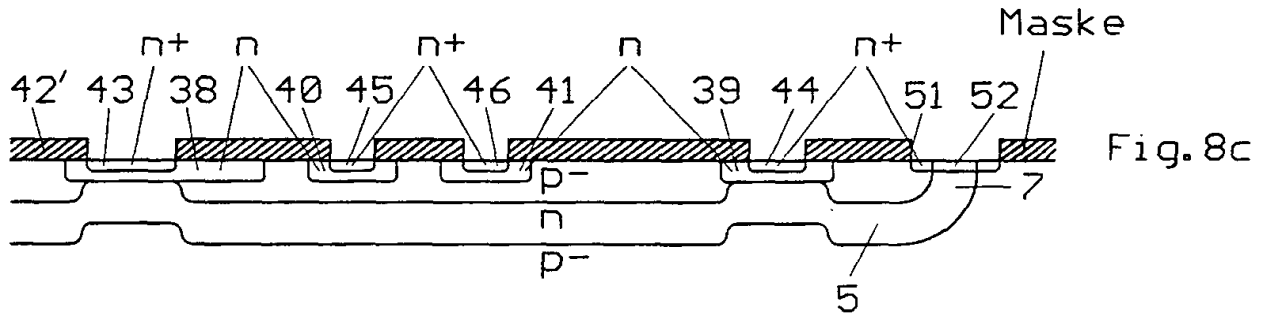


Fig. 8c

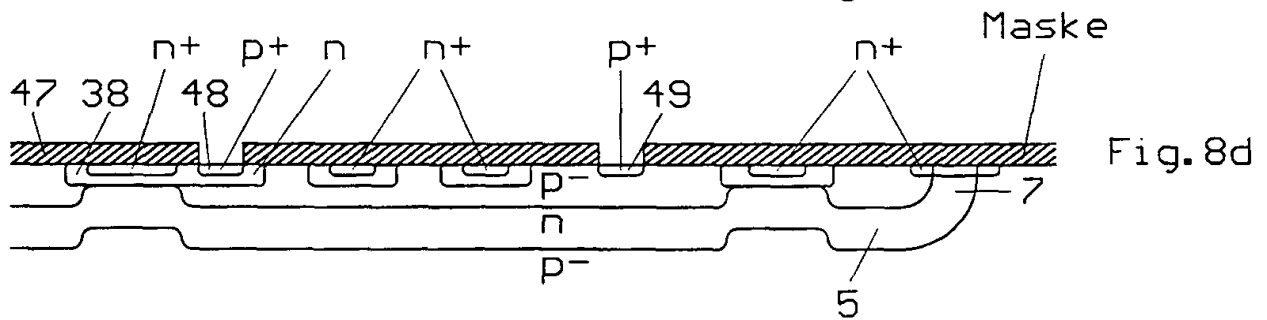


Fig. 8d

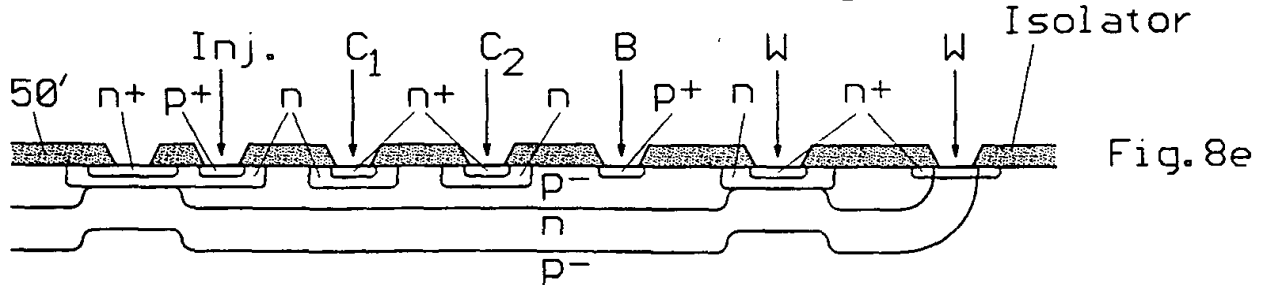
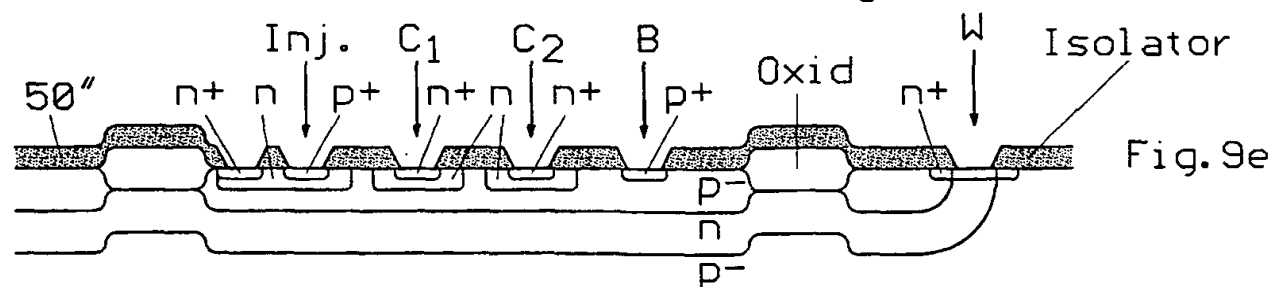
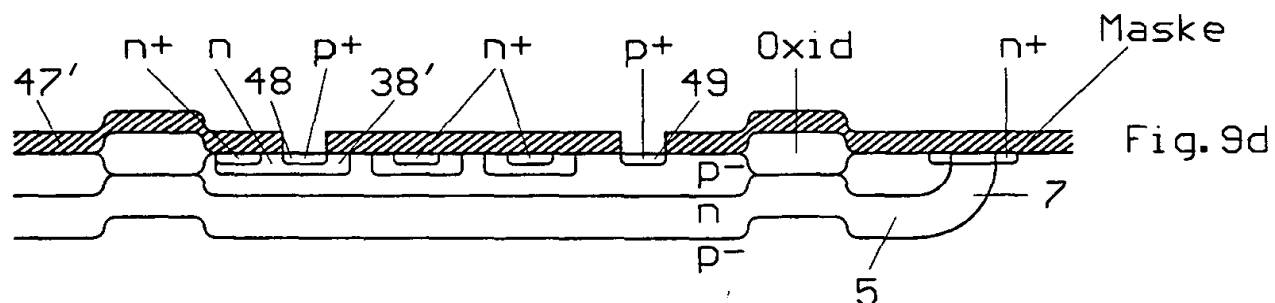
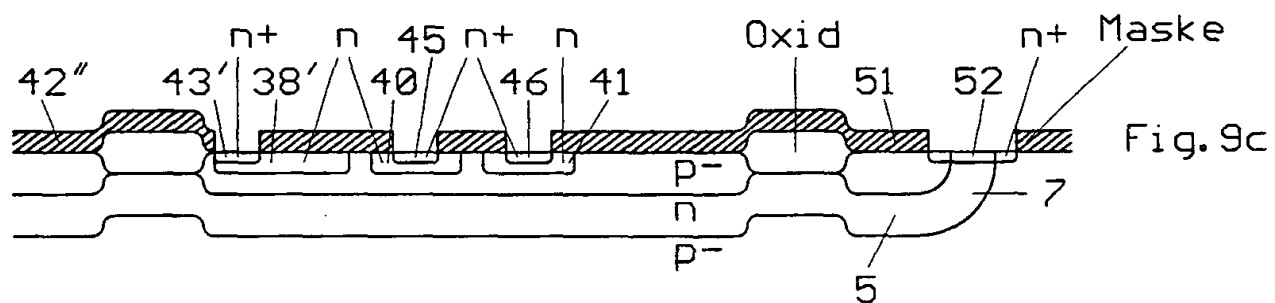
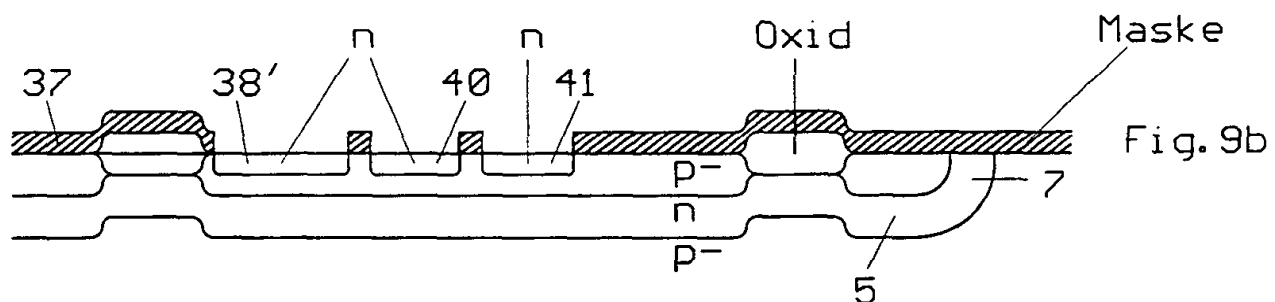
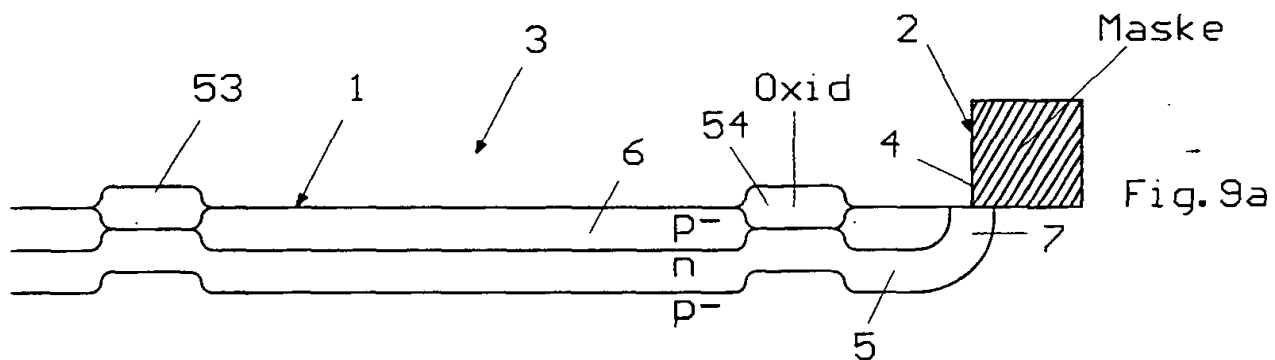
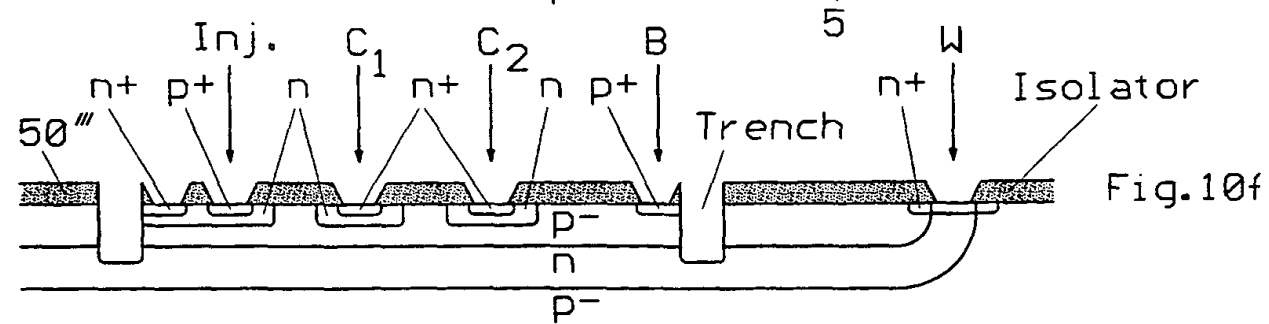
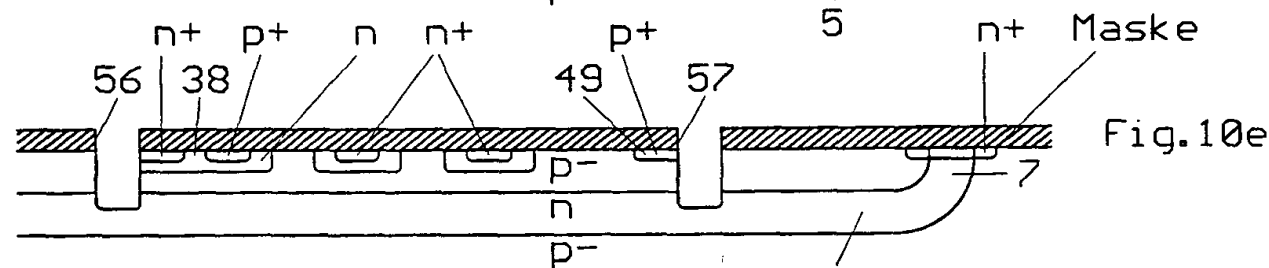
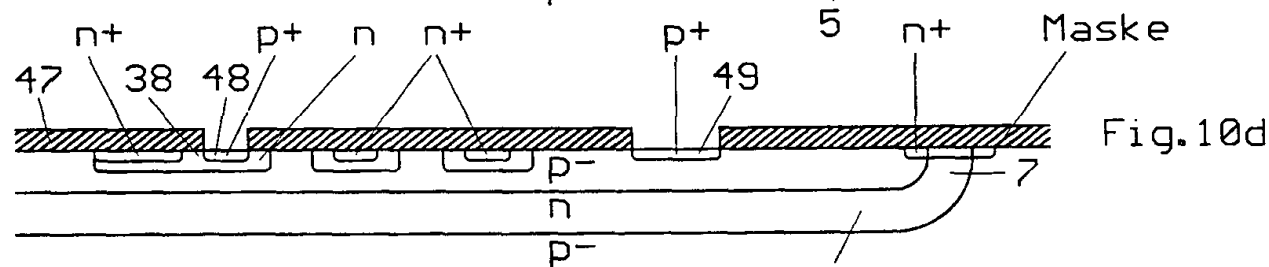
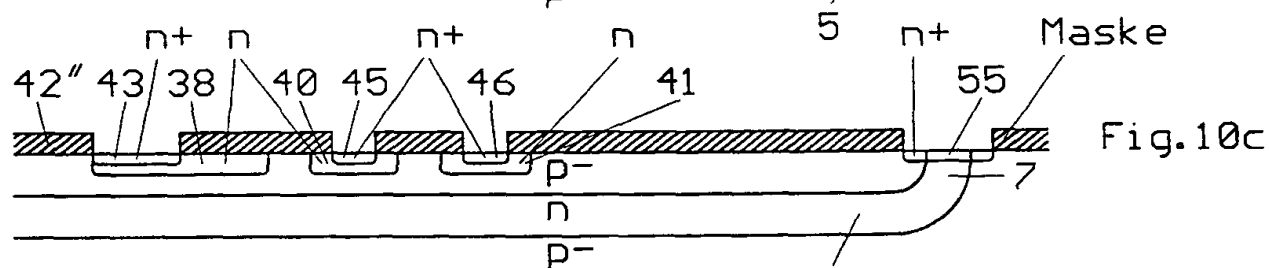
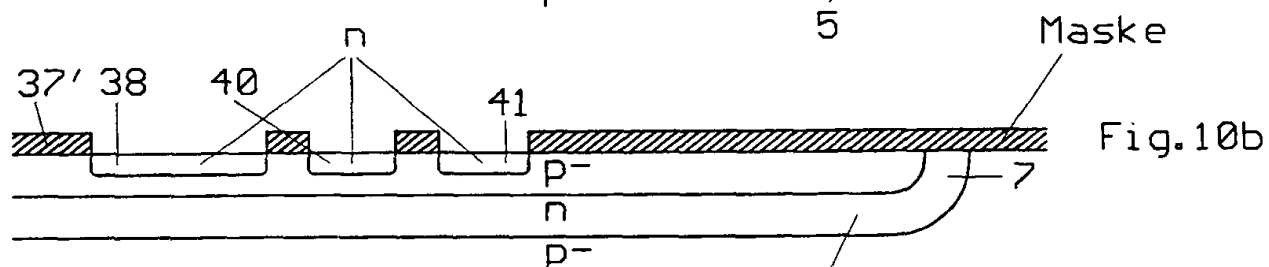
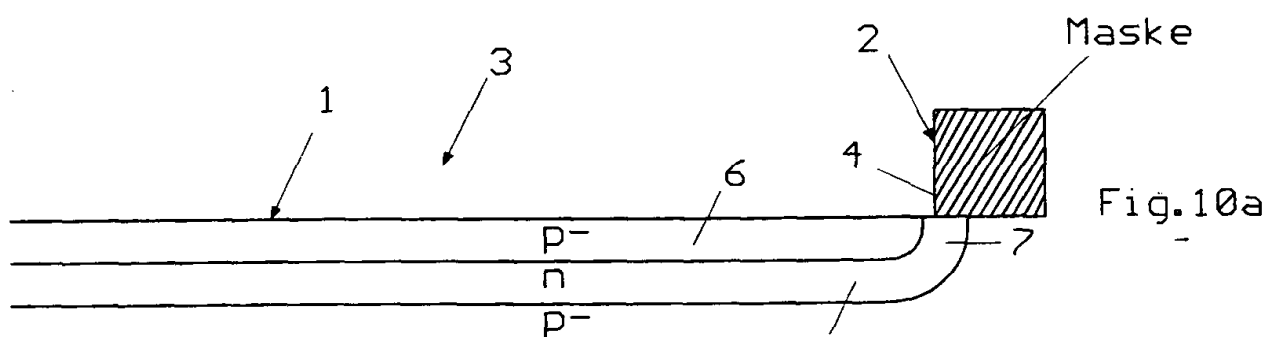
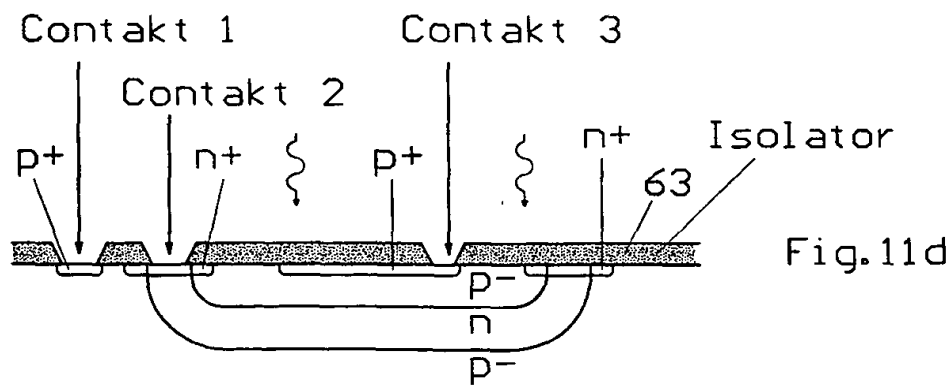
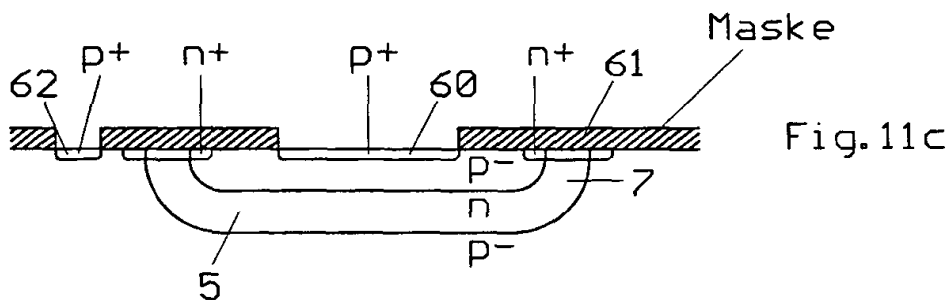
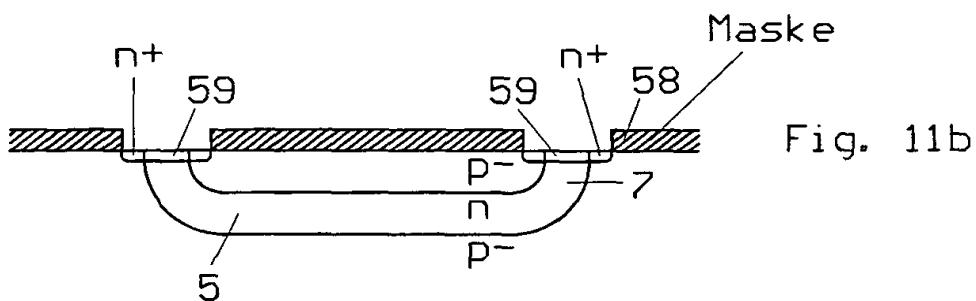
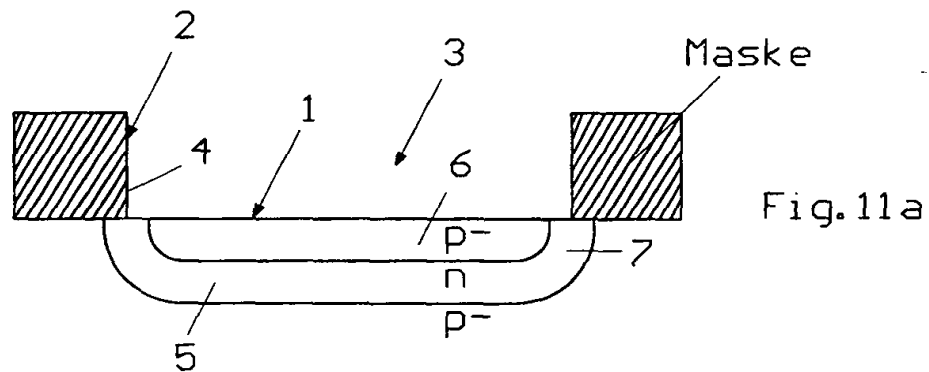


Fig. 8e







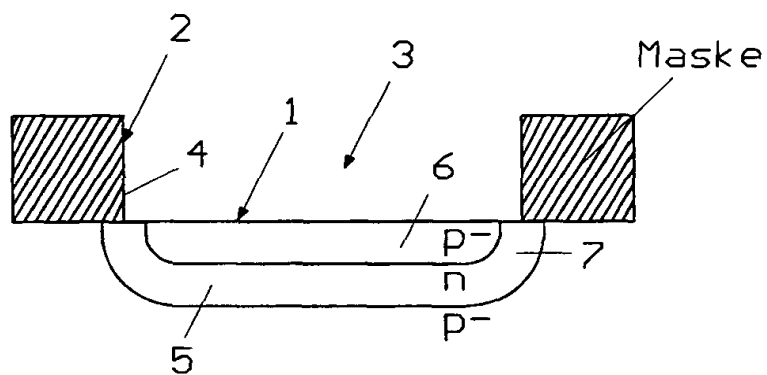


Fig.12a

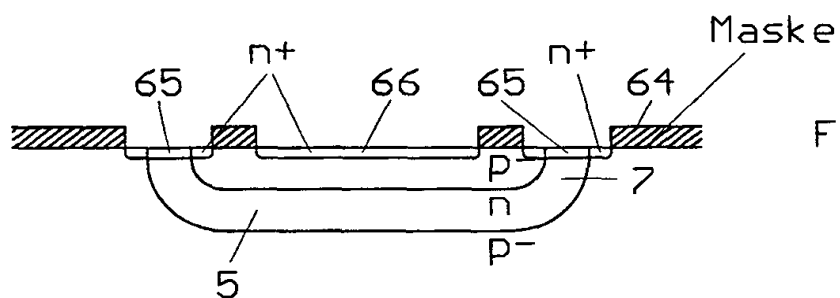


Fig. 12b

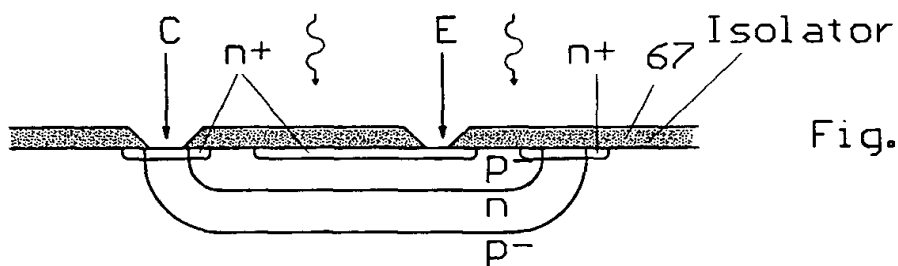
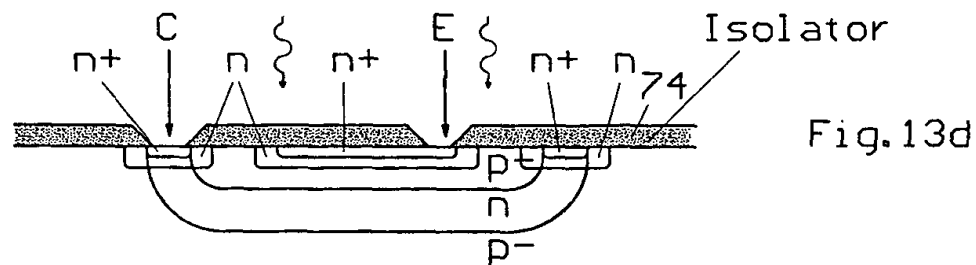
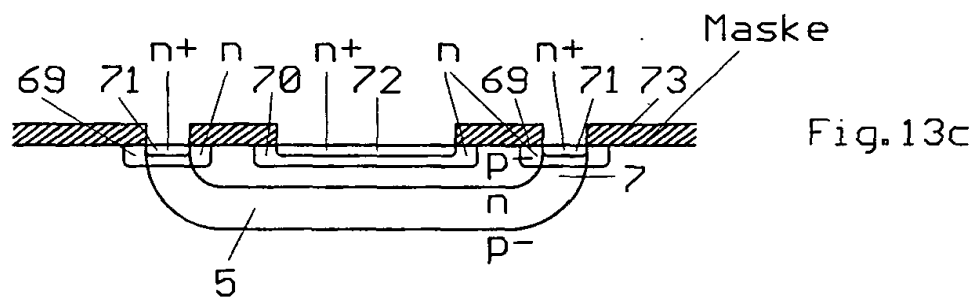
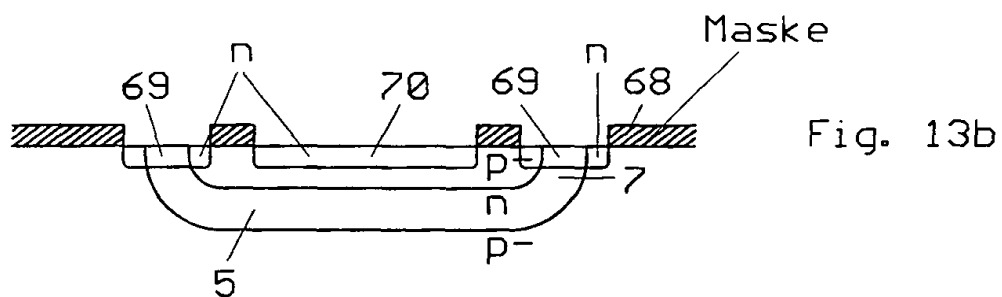
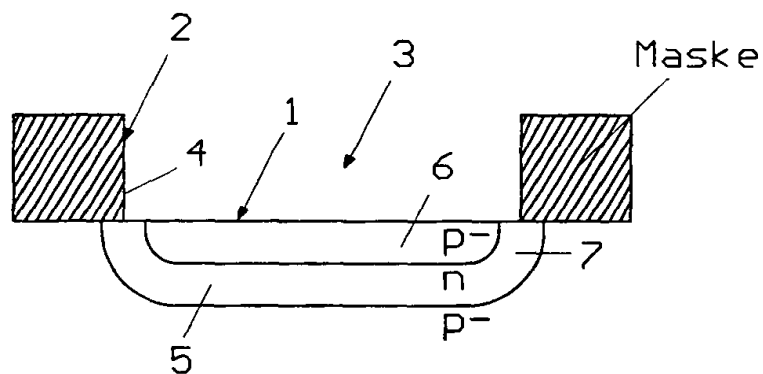
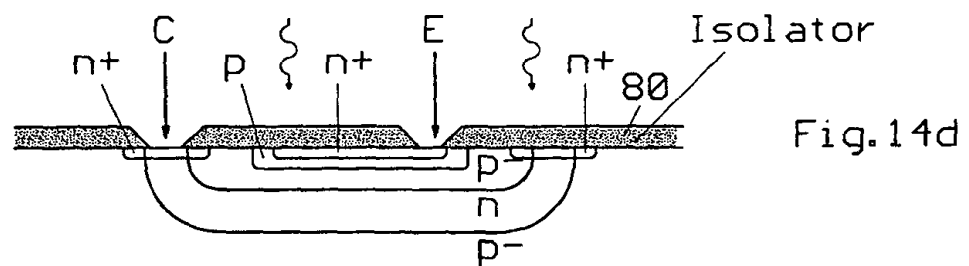
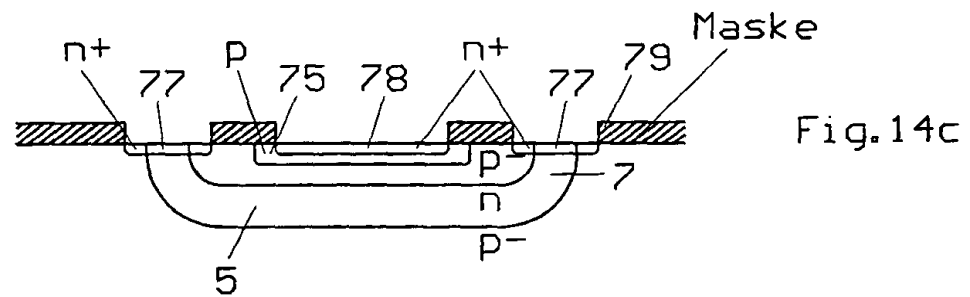
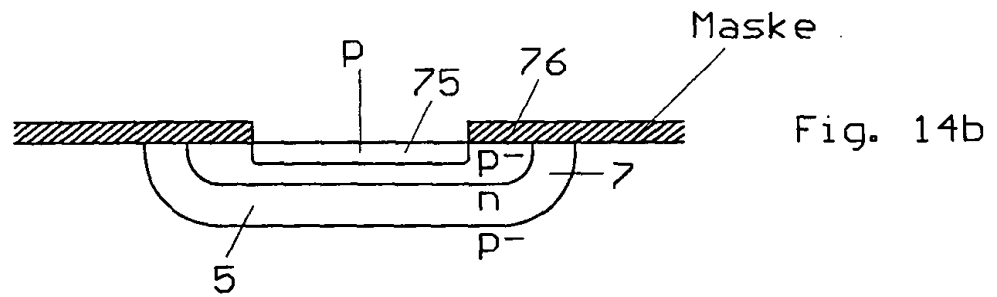
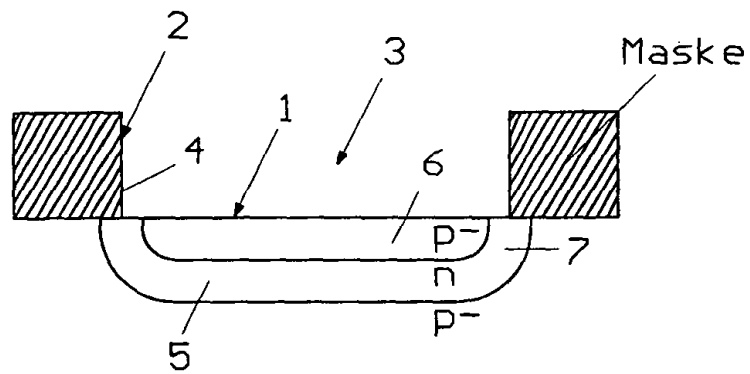
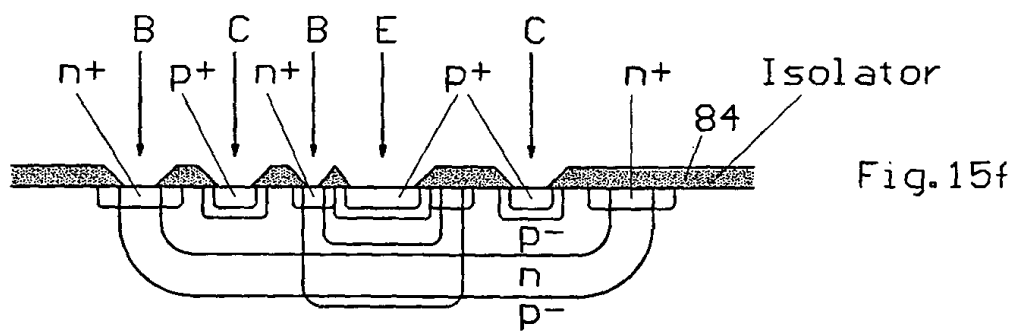
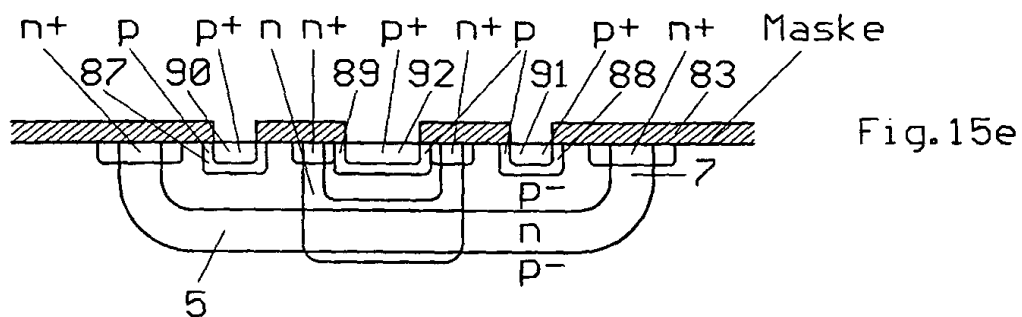


Fig.12c







INTERNATIONAL SEARCH REPORT

International Application No.

PCT/EP 99/05942

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L21/266 H01L21/74 H01L21/8226 H01L21/761 H01L31/11

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 032 022 A (FUJITSU LTD) 15 July 1981 (1981-07-15) abstract; claims; figures 2-6,13-15	1-8, 10-12, 18,19,26
Y	---	1,13-18, 20,22-25
X	JP 51 073887 A (FUJITSU KABUSHIKI KAISHA) 26 June 1976 (1976-06-26) figures	1-8,18, 19,26
X	WO 98 36457 A (SYMBIOS INC) 20 August 1998 (1998-08-20) abstract; claims; figures 20-27	1,2,5, 18,19,26
Y	US 3 925 120 A (SAIDA HIROJI ET AL) 9 December 1975 (1975-12-09) abstract; claims; figures	1,13-17, 22
	-/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

15 December 1999

Date of mailing of the international search report

13/01/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Wirner, C

INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP 99/05942

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	PATENT ABSTRACTS OF JAPAN vol. 006, no. 091 (E-109), 28 May 1982 (1982-05-28) -& JP 57 024548 A (NIPPON TELEGR & TELEPH CORP), 9 February 1982 (1982-02-09) abstract; figures ----	1,18,20
A	EP 0 294 868 A (PHILIPS NV) 14 December 1988 (1988-12-14) abstract; claims; figures ----	1,13-22
Y	EP 0 260 955 A (CANON KK) 23 March 1988 (1988-03-23) abstract; claims; figures ----	1,23-25
A	US 4 355 320 A (TIHANYI JENOE) 19 October 1982 (1982-10-19) abstract; claims; figures ----	1,23-25
A	EP 0 339 386 A (SIEMENS AG) 2 November 1989 (1989-11-02) abstract; claims; figure 3 -----	1,23-25

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP 99/05942

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 0032022	A	15-07-1981	JP 1196605 C	21-03-1984
			JP 56093341 A	28-07-1981
			JP 58024018 B	18-05-1983
			US 4642883 A	17-02-1987
JP 51073887	A	26-06-1976	NONE	
WO 9836457	A	20-08-1998	US 5858828 A	12-01-1999
			AU 6438298 A	08-09-1998
US 3925120	A	09-12-1975	JP 49044555 B	28-11-1974
			JP 51015393 B	17-05-1976
JP 57024548	A	09-02-1982	NONE	
EP 0294868	A	14-12-1988	NL 8701251 A	16-12-1988
			JP 63306667 A	14-12-1988
			US 4864377 A	05-09-1989
			US 5034335 A	23-07-1991
EP 0260955	A	23-03-1988	JP 2505767 B	12-06-1996
			JP 63076367 A	06-04-1988
			DE 3788481 D	27-01-1994
			DE 3788481 T	21-04-1994
			US 5013670 A	07-05-1991
US 4355320	A	19-10-1982	DE 2922250 A	11-12-1980
			FR 2458148 A	26-12-1980
			GB 2051479 A, B	14-01-1981
			JP 1215576 C	27-06-1984
			JP 55162282 A	17-12-1980
			JP 58046190 B	14-10-1983
EP 0339386	A	02-11-1989	DE 58908028 D	18-08-1994
			JP 2012975 A	17-01-1990

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP 99/05942

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 7 H01L21/266 H01L21/74 H01L21/8226 H01L21/761 H01L31/11

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	EP 0 032 022 A (FUJITSU LTD) 15. Juli 1981 (1981-07-15) Zusammenfassung; Ansprüche; Abbildungen 2-6, 13-15	1-8, 10-12, 18, 19, 26
Y		1, 13-18, 20, 22-25
X	JP 51 073887 A (FUJITSU KABUSHIKI KAISHA) 26. Juni 1976 (1976-06-26) Abbildungen	1-8, 18, 19, 26
X	WO 98 36457 A (SYMBIOS INC) 20. August 1998 (1998-08-20) Zusammenfassung; Ansprüche; Abbildungen 20-27	1, 2, 5, 18, 19, 26
	-/-	

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen:

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"Z" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

15. Dezember 1999

Absenddatum des internationalen Recherchenberichts

13/01/2000

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Wirner, C

INTERNATIONAL RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP 99/05942

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	US 3 925 120 A (SAIDA HIROJI ET AL) 9. Dezember 1975 (1975-12-09) Zusammenfassung; Ansprüche; Abbildungen ---	1,13-17, 22
Y	PATENT ABSTRACTS OF JAPAN vol. 006, no. 091 (E-109), 28. Mai 1982 (1982-05-28) -& JP 57 024548 A (NIPPON TELEGR & TELEPH CORP), 9. Februar 1982 (1982-02-09) Zusammenfassung; Abbildungen ---	1,18,20 -
A	EP 0 294 868 A (PHILIPS NV) 14. Dezember 1988 (1988-12-14) Zusammenfassung; Ansprüche; Abbildungen ---	1,13-22
Y	EP 0 260 955 A (CANON KK) 23. März 1988 (1988-03-23) Zusammenfassung; Ansprüche; Abbildungen ---	1,23-25
A	US 4 355 320 A (TIHANYI JENOE) 19. Oktober 1982 (1982-10-19) Zusammenfassung; Ansprüche; Abbildungen ---	1,23-25
A	EP 0 339 386 A (SIEMENS AG) 2. November 1989 (1989-11-02) Zusammenfassung; Ansprüche; Abbildung 3 -----	1,23-25

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichung und zur selben Patentfamilie gehören

nales Aktenzeichen

PCT/EP 99/05942

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP 0032022 A	15-07-1981	JP 1196605 C JP 56093341 A JP 58024018 B US 4642883 A	21-03-1984 28-07-1981 18-05-1983 17-02-1987
JP 51073887 A	26-06-1976	KEINE	
WO 9836457 A	20-08-1998	US 5858828 A AU 6438298 A	12-01-1999 08-09-1998
US 3925120 A	09-12-1975	JP 49044555 B JP 51015393 B	28-11-1974 17-05-1976
JP 57024548 A	09-02-1982	KEINE	
EP 0294868 A	14-12-1988	NL 8701251 A JP 63306667 A US 4864377 A US 5034335 A	16-12-1988 14-12-1988 05-09-1989 23-07-1991
EP 0260955 A	23-03-1988	JP 2505767 B JP 63076367 A DE 3788481 D DE 3788481 T US 5013670 A	12-06-1996 06-04-1988 27-01-1994 21-04-1994 07-05-1991
US 4355320 A	19-10-1982	DE 2922250 A FR 2458148 A GB 2051479 A,B JP 1215576 C JP 55162282 A JP 58046190 B	11-12-1980 26-12-1980 14-01-1981 27-06-1984 17-12-1980 14-10-1983
EP 0339386 A	02-11-1989	DE 58908028 D JP 2012975 A	18-08-1994 17-01-1990



.

.

.

.